

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Mitsuhiro NOGUCHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: DATA STORAGE SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____

- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-117453	April 22, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月22日

出 願 番 号

Application Number:

特願2003-117453

[ST.10/C]:

[JP 2003-117453]

出 願 人

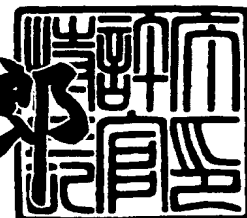
Applicant(s):

株式会社東芝

2003年 5月23日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3038208

【書類名】 特許願

【整理番号】 ACB02X001

【提出日】 平成15年 4月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/76
H01L 27/10
G11C 17/00
G11C 29/00
G06F 12/16

【発明の名称】 データ記憶システム

【請求項の数】 25

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 野口 充宏

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

【氏名】 合田 晃

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ記憶システム

【特許請求の範囲】

【請求項 1】 少なくとも"1"と"0"の2値のデジタルデータを複数回非破壊で読み出すことができ、複数のページからなる第1の複数のメモリセルと、

前記第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出し、その誤り位置の情報を出力する回路と、

誤りを生じたビットのデータが"1"か"0"かを判別する回路

とを備え、前記判別結果が"1"または"0"いずれかで選択的に前記第1のページのメモリセルを消去し、誤り訂正したデータを書き込みすることを特徴とするデータ記憶システム。

【請求項 2】 少なくとも"1"と"0"の2値のデジタルデータを複数回非破壊で読み出すことができ、複数のページからなる第1の複数のメモリセルと、

前記第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出し、その誤り位置の情報を出力する回路と、

誤りを生じたビットのデータが"1"か"0"かを判別する回路

とを備え、前記判別結果が"1"または"0"いずれかで選択的に前記第1のページと異なるページに前記第1の複数のメモリセルに誤り訂正したデータを書き込みすることを特徴とするデータ記憶システム。

【請求項 3】 少なくとも"1"と"0"の2値のデジタルデータを複数回非破壊で読み出すことができ、複数のページからなる第1の複数のメモリセルと、

少なくとも1つのページからなる第3の複数のメモリセルと、

前記第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出する回路

とを備え、前記第3の複数のメモリセルが前記誤りページの位置情報を複数個記録することを特徴とするデータ記憶システム。

【請求項 4】 少なくとも"1"と"0"の2値のデジタルデータを複数回非破

壊で読み出すことができる第1の複数のメモリセルと、

前記第1の複数のメモリセルのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出する第1のデータ制御回路

とからなり、前記第1の複数のメモリセルの少なくとも1つは、“1”または“0”の保持状態のいずれかで、複数回読み出し操作を行うとビット変化が生じ、前記第1のデータ制御回路は外部データ出力端子を有し、

電源投入時、前記複数の第1のメモリセルの第1のページは外部入出力から情報ビットをすべて読み出すことができ、電源投入時に前記第1のページを読み出すことができるように構成され、

前記第1のデータ制御回路に対し、電源遮断、電源投入、および前記少なくとも1つのページのデータを前記外部データ出力端子より読み出す一連の動作を複数回繰り返した場合に、前記ページに書き込んだ情報データと同じ情報データが読み出せる回数は、前記少なくとも1つのページのデータを連続的に読み出す操作を前記ページに書き込んだ情報データと同じ情報データが読み出せる回数よりも多いことを特徴とするデータ記憶システム。

【請求項5】 メモリセルアレイを含むメモリマクロと、

前記メモリマクロと接続された誤り訂正符号回路部と、

前記メモリセルアレイの誤り訂正において一時的に使用されるテンポラリメモリ

とを備え、前記テンポラリメモリは、前記メモリマクロ内において、前記メモリセルアレイの一部として形成されることを特徴とするデータ記憶システム。

【請求項6】 前記第1の複数のメモリセルを含むページのメモリセルは、1つのデータ選択線に共通接続されていることを特徴とする請求項1乃至請求項5のいずれか1項に記載のデータ記憶システム。

【請求項7】 前記第1の複数のメモリセルを含むページのメモリセルは、複数のページで同時に消去動作が行われるメモリセルブロックを構成することを特徴とする請求項1乃至請求項5のいずれか1項に記載のデータ記憶システム。

【請求項8】 誤りを生じたビットのデータが“1”か“0”かを判別する手段と、

前記判別結果が"1"または"0"いずれかで選択的に前記第3の複数のメモリセルに記録を行うことを特徴とする請求項3記載のデータ記憶システム。

【請求項9】 前記第1のメモリセルは、データを書き込んだ後に、データ書きこみ終了を示すフラグを追加書きこみすることを特徴とする請求項7記載のデータ記憶システム。

【請求項10】 前記第1の複数のメモリセルは、複数回読み出し操作を行うと書きこみ状態へとビット変化が生じることを特徴とする請求項1乃至請求項5のいずれか1項に記載のデータ記憶システム。

【請求項11】 前記第1の複数のメモリセルは、複数回読み出し操作を行うと書きこみ状態へとビット変化が生じ、前記誤りを生じたビットのデータが、誤り前で消去状態である場合に、選択的に判別を行うことを特徴とする請求項1又は2に記載のデータ記憶システム。

【請求項12】 前記メモリセルが、絶縁膜からなる電荷蓄積層を有し、前記電荷蓄積層に蓄積される電荷量の大小による情報を記憶することを特徴とする請求項1乃至請求項5のいずれか1項に記載のデータ記憶システム。

【請求項13】 前記電荷蓄積層は、シリコン窒化膜、シリコン酸窒化膜またはアルミナ膜を含むことを特徴とする請求項12記載のデータ記憶システム。

【請求項14】 前記電荷蓄積層は、浮遊ゲート電極を含むことを特徴とする請求項12記載のデータ記憶システム。

【請求項15】 前記第1の複数のメモリセルは、メモリセルの電流端子を直列に接続したNAND構造のメモリセルからなることを特徴とする請求項13記載のデータ記憶システム。

【請求項16】 前記第1の複数のメモリセルは、メモリセルの電流端子を直列に接続したNAND構造のメモリセルからなることを特徴とする請求項14記載のデータ記憶システム。

【請求項17】 前記第1の複数のメモリセルは、メモリセルの電流端子を直列に接続したNAND構造のメモリセルからなることを特徴とする請求項1乃至請求項5のいずれか1項に記載のデータ記憶システム。

【請求項18】 前記第1の複数のメモリセルは、メモリセルの電流端子を

並列に接続した仮想接地構造のメモリセルからなることを特徴とする請求項 1 3 記載のデータ記憶システム。

【請求項 1 9】 前記第 1 の複数のメモリセルは、それぞれ 1 つのメモリセルに複数のデジタルビットを電荷蓄積層の異なる位置に記憶することを特徴とする請求項 1 8 記載のデータ記憶システム。

【請求項 2 0】 前記第 1 の複数のメモリセルは、メモリセルの電流端子を並列に接続した仮想接地構造のメモリセルからなることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載のデータ記憶システム。

【請求項 2 1】 前記第 1 の複数のメモリセルは、それぞれ 1 つのメモリセルに複数のデジタルビットを電荷蓄積層の異なる位置に記憶することを特徴とする請求項 2 0 記載のデータ記憶システム。

【請求項 2 2】 前記外部入出力から "1" か "0" かを記録できる情報ビットの数を n とし、 m を $2^{m-1}-1 < n \leq 2^m - m - 1$ を満たす自然数とすると 1 ページのメモリセル数は $(2^m - 1)$ 以上であることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載のデータ記憶システム。

【請求項 2 3】 前記第 1 の複数のメモリセルを含むページのメモリセルは、ベリファイ消去を行うことを特徴とする請求項 7 記載のデータ記憶システム。

【請求項 2 4】 電源投入時、前記複数の第 1 のメモリセルの第 1 のページは外部入出力から情報ビットをすべて読み出すことができ、電源投入時に前記第 1 のページを読み出すことができるように構成されたことを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載のデータ記憶システム。

【請求項 2 5】 前記複数の第 1 のメモリセルは、3 値以上のデジタル値を複数のしきい値として記憶する半導体メモリセルトランジスタであることを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載のデータ記憶システム。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、不良ビットが生じても救済可能な信頼性の高いデータ記憶システムに関し、特に、読み出しによるデータ破壊に対する信頼性を向上したデータ記憶

システムに関する。

【 0 0 0 2 】

【従来の技術】

電荷蓄積層にチャネルから絶縁膜を介してトンネル電流によって注入した電荷をデジタルビットの情報格納として用い、その電荷量に応じた電界効果トランジスタ(MOSFET)のコンダクタンス変化を測定し、情報を読み出す不揮発性半導体メモリ(EEPROM)が開発されている。中でも、メモリセルを複数個直列又は並列接続してメモリセルブロックを形成したNAND型又は仮想接地型EEPROMは、選択トランジスタゲートの数をメモリセルよりも大幅に減らすことができ、より高密度化を実現することができる。ここで、上記EEPROMでは、DRAMと異なりデータ破壊を伴わずに複数回読み出すことが可能である。しかし、読み出し操作によって、非選択のEEPROMセルの選択ゲートに電圧が印加され、読み出し操作を繰り返すことにより、データが破壊するリードディスタurb(Read Disturb)が生じ、読み出し時の電流を大きく確保できない問題があった。

【 0 0 0 3 】

従来のEEPROMメモリセルのしきい値 V_{thi} のゲートストレス印加時間に対する変化は、図48に示すように、ストレス印加時間の経過と共に、上昇する傾向を示している。 V_{thi} は、電荷蓄積層に電荷が蓄積していない場合のしきい値電圧を示し、図48では、ストレス印加前では、例えば、電荷蓄積層に正の電荷が蓄積している状態、いわゆる消去状態となっている。ここで、図48の挿入図のように、ソース・ドレイン電極に対して制御ゲート電極に正の電圧を印加することにより、ソース・ドレイン領域と電氣的に接続されたチャネル領域から、電荷蓄積層に電子が注入され、しきい値 V_{thi} が上昇する。ここで、ゲート電圧が高いほど、電荷蓄積層とチャネル領域との電界が強くなり、注入される電流が増加するため、同じストレス印加時間でもしきい値 V_{thi} の上昇量が大きくなる。ここで、電荷蓄積層とチャネル領域との間の絶縁膜(トンネル絶縁膜)が薄膜化するほど、同じ電圧でも電界が上昇するためこの電流注入が顕著になり、例えば、シリコン窒化膜(SiN)を電荷蓄積層として用いたEEPROMメモリセルエレメントでは、特許文献1に記載されているように、2.5V以下の低い制御電圧でも、しきい値 V_{thi} 上昇が生じてし

まうことが知られている。

【0004】

浮遊ゲート型メモリセルにおいても、電荷蓄積層への電流注入は同様に生じるため、このしきい値 V_{thi} が上昇する問題は同様に生じる。特に浮遊ゲート型メモリセルでは、しきい値上昇が著しく主分布からはずれた分布を示す、いわゆる「裾ビット」が存在し、問題となる。ここで、「裾ビット」とは、メモリセルアレイを構成するメモリセルの内、しきい値電圧の度数分布を測定した時に、誤り訂正符号回路(ECC)で救済できるレベル以下の、正規分布から外れて検出される、メモリセルのことをいう。具体的には、例えば、1Gビットのメモリセルアレイに対して、10ビット程度であるが、その発生原因は浮遊ゲートと半導体基板との間のトンネル酸化膜のリーク電流であるといわれている。

【0005】

特に、このようなしきい値 V_{thi} の変化は、メモリセル又はメモリセルの情報蓄積領域が直列に接続され、それぞれが独立にデータ読み出しを実行する、メモリセルブロック構成において問題となる。なぜならば、読み出しを行うメモリセルに対して直列に接続された非選択メモリセルでは、書き込みしきい値よりも高い電圧を制御電極に印加する必要があるからである。対策として、例えば本発明者らにより既に開示された特許文献2では、データ記憶用のメモリセルと並列して、データ選択線を共有するようにデータ破壊検出用のメモリセルを形成し、データ読み出し時に同時により強い電界ストレスを印加することにより、データ記憶用のメモリセルよりも先にしきい値変化を起こさせることにより、データ破壊を未然に検知する例が開示されている。しかしながら、特許文献2では、データ記憶用のメモリセルとデータ破壊検出用のメモリセルは別々に構成するために、それら2種類のメモリセルの特性ばらつきによって、必ずしもデータ破壊検出セルがデータ記憶用のメモリセルよりも早くデータ破壊するとは限らないという問題があった。これは特に、例えば、データ破壊検出用セルが読み出しストレスに強く、一方、データ記憶用のメモリセルが異常に読み出しストレスに弱いセル、いわゆる「裾ビット」であった場合に問題となる。また、この問題を回避するために、データ破壊検出用メモリセルの電界をより大きくすることが必要になるが、

これによりデータリフレッシュ間隔が短くなり、より多くの時間がデータリフレッシュに費やされるという問題があった。また、データ破壊検出用のメモリセルが特別に必要であり、このメモリセルはリードディスタブデータ破壊検出専用であるため、例えば書き込み電荷保持の電荷漏れに起因する不良ビットについては救済できず、チップ面積が増大するという問題があった。

【 0 0 0 6 】

【特許文献1】

特開平11-330277号公報

【 0 0 0 7 】

【特許文献2】

特開2002-150783号公報

【 0 0 0 8 】

【発明が解決しようとする課題】

本発明の目的は、読み出しによるデータ破壊に対してデータ破壊セルを直接検出し、かつそのデータを完全に復元可能とすることにより、データリフレッシュの間隔を長くし、データ記憶用メモリセルと別にデータ破壊検出用メモリセルを形成することを不要としたデータ記憶システムを提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の特徴は、（イ）少なくとも"1"と"0"の2値のデジタルデータを複数回非破壊で読み出すことができ、複数のページからなる第1の複数のメモリセルと、（ロ）第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出し、その誤り位置の情報を出力する回路と、（ハ）誤りを生じたビットのデータが"1"か"0"かを判別する回路とを備え、（ニ）判別結果が"1"または"0"いずれかで選択的に第1のページのメモリセルを消去し、誤り訂正したデータを書き込みするデータ記憶システムであることを要旨とする。

【 0 0 1 0 】

本発明の第2の特徴は、（イ）少なくとも"1"と"0"の2値のデジタルデータ

を複数回非破壊で読み出すことができ、複数のページからなる第1の複数のメモリセルと、（ロ）第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出し、その誤り位置の情報を出力する回路と、（ハ）誤りを生じたビットのデータが”1”か”0”かを判別する回路とを備え、（二）判別結果が”1”または”0”いずれかで選択的に第1のページと異なるページに第1の複数のメモリセルに誤り訂正したデータを書き込みするデータ記憶システムであることを要旨とする。

【 0 0 1 1 】

本発明の第3の特徴は、（イ）少なくとも”1”と”0”の2値のデジタルデータを複数回非破壊で読み出すことができ、複数のページからなる第1の複数のメモリセルと、（ロ）少なくとも1つのページからなる第3の複数のメモリセルと、（ハ）第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出する回路とを備え、（二）第3の複数のメモリセルが誤りページの位置情報を複数個記録するデータ記憶システムであることを要旨とする。

【 0 0 1 2 】

本発明の第4の特徴は、（イ）少なくとも”1”と”0”の2値のデジタルデータを複数回非破壊で読み出すことができる第1の複数のメモリセルと、（ロ）第1の複数のメモリセルのデジタルデータ出力を入力とし、少なくとも1ビットのデータ誤りを検出する第1のデータ制御回路とからなり、（ハ）第1の複数のメモリセルの少なくとも1つは、”1”または”0”の保持状態のいずれかで、複数回読み出し操作を行うとビット変化が生じ、（二）第1のデータ制御回路は外部データ出力端子を有し、（ホ）電源投入時、複数の第1のメモリセルの第1のページは外部入出力から情報ビットをすべて読み出すことができ、電源投入時に第1のページを読み出すことができるように構成され、（ヘ）第1のデータ制御回路に対し、電源遮断、電源投入、および少なくとも1つのページのデータを外部データ出力端子より読み出す一連の動作を複数回繰り返した場合に、ページに書き込んだ情報データと同じ情報データが読み出せる回数は、少なくとも1つのページのデータを連続的に読み出す操作をページに書き込んだ情報データと同じ情報データが読

み出せる回数よりも多いデータ記憶システムであることを要旨とする。

【 0 0 1 3 】

本発明の第5の特徴は、(イ) メモリセルアレイを含むメモリマクロと、(ロ) メモリマクロと接続された誤り訂正符号回路部と、(ハ) メモリセルアレイの誤り訂正において一時的に使用されるテンポラリメモリとを備え、(ニ) テンポラリメモリは、メモリマクロ内において、メモリセルアレイの一部として形成されるデータ記憶システムであることを要旨とする。

【 0 0 1 4 】

【発明の実施の形態】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面において、同一又は類似の部分には同一又は類似の符号を付している。又、以下に示す実施の形態は、この発明の技術思想を具体化するための装置や方法を例示するものであって、この発明の技術思想を下記のものに特定するものではない。この発明の技術思想は、特許請求の範囲において、種々の変更を加えることができる。

【 0 0 1 5 】

本発明の概要は、データ誤り符号訂正回路(ECC)を用いて、データ破壊が生じる前にリードディスタurbを検出し、リフレッシュするデータ記憶システムである。データ誤り符号訂正回路(ECC)を分析することによりリードディスタurbによる不良発生を未然に防止することができる。NAND型フラッシュメモリを例えば、携帯電話等の応用分野に代表されるような高速動作させる環境において使用する場合には、リードディスタurbリフレッシュが必須となる。また、リフレッシュ検出において、NAND型フラッシュメモリを用いることができ、「裾ビット」があっても正しくリフレッシュ時期を検出することができるので、応用面も拡大される。データ誤り符号訂正回路(ECC)の読み出し出力が遅れる問題に対しても対応することができる。

【 0 0 1 6 】

このため、第1の実施の形態においては、テンポラリメモリをメモリマクロの外部に配置した構成について説明する。第2の実施の形態においては、テンポラリメモリをメモリマクロの内部に配置した構成について説明する。更に、第3の

実施の形態においては、動作シーケンスの異なるモードについて説明しており、第1のメモリセルブロックの内容を誤り訂正して第2のメモリセルブロックに書き込み、更に、第2のメモリセルブロックの内容を第1のメモリセルブロックに書き込むことによって、第1のメモリセルの内容を第1のメモリセルの場所にリフレッシュすることを特徴とする動作方法について説明する。更に又、第4の実施の形態においては、NANDセルアレイブロックをMONOS型ゲートを用いて構成した例について説明する。更に又、第5の実施の形態においては、メモリセルアレイブロックをMONOS構造で形成された仮想接地構造によって構成した例について説明する。又、第6の実施の形態においては、上記の第1乃至第5の実施の形態において開示されたデータ記憶システムにおいて、多値論理を適用する実施例について説明する。更に、第7の実施の形態においては、上記の第1乃至第6の実施の形態において開示されたデータ記憶システムを、メモリカード、ICカード等のシステムに適用可能なシステムLSIに適用した例を説明する。

【 0 0 1 7 】

(第1の実施の形態)

本発明の第1の実施の形態に係るデータ記憶システムは、図1に示すように、メモリセルアレイ1を含むメモリマクロ7と、誤りビット検出回路5及び誤りビット判定回路6を含むECC回路部100と、ECC回路部100に接続されたテンポラリメモリ101とから構成される。誤りビット検出回路5と誤りビット判定回路6との間には第1の内部I/O線92が配線され、メモリマクロ7とECC回路部100との間には第2の内部I/O線91が配線され、誤りビット判定回路6とテンポラリメモリ101との間には外部I/O線94が配線されている。更に、メモリマクロ7の詳細は図2に、ECC回路部100の詳細は図3に示す通りである。

【 0 0 1 8 】

[データ記憶システム]

本発明の第1の実施の形態に係るデータ記憶システムについてより詳細に説明すると、図2に示すように、メモリマクロ7は、NAND型、AND型若しくは仮想接地型等からなるメモリセルアレイ1と、データ制御線ドライバ2と、ロウデコーダ3と、アドレスバッファ47と、カラムデコーダ48と、センスアンプ/データラッチ

46と、データ入出力バッファ45と、基板電位制御回路42と、制御回路40と、Vpgm発生回路41aと、Vpass発生回路41bと、Vread発生回路41cと、Vref発生回路41dから構成される。データ入出力バッファ45とセンスアンプ／データラッチ46との間には第3の内部I/O線90が配線され、データ入出力バッファ45と誤りビット検出回路5との間には第2の内部I/O線91が配線され、更に、ECC回路部100の内部において、誤りビット検出回路5と誤りビット判定回路6との間には、第1の内部I/O線92と誤り検出信号線93が配線されている。

【 0 0 1 9 】

メモリセルアレイ1は、後述するように、不揮発性メモリセルと選択トランジスタを直列又は並列接続したメモリセルブロックがマトリックス状に配列されて構成される。このメモリセルアレイ1のデータ転送線のデータをセンスし、或いは書き込みデータを保持するためにセンスアンプ／データラッチ46が設けられている。このセンスアンプ／データラッチ46はデータラッチを兼ねており、例えばフリップフロップ回路を主体として構成される。このセンスアンプ／データラッチ46は、データ入出力バッファ45に接続されている。これらの接続は、アドレスバッファ47からアドレス信号を受けるカラムデコーダ48の出力によって制御され、第2の内部I/O線91を介してデータ入出力バッファ45に加えられたデータを、第1の内部I/O線90を介してメモリセルアレイ1に書き込み、及びメモリセルアレイ1に記憶されたデータを、第1の内部I/O線90を介して、データ入出力バッファ45に読み出し可能となっている。上記メモリセルアレイ1には、メモリセルエレメントの選択を行うため、具体的にはデータ選択線及びブロック選択線の制御をするために、アドレス選択回路からなるロウデコーダ3が設けられている。

【 0 0 2 0 】

基板電位制御回路42は、後述する図8或いは図9に示すように、メモリセルアレイ1が形成されるp型半導体基板21（又はp型ウェル領域23）の電位を制御するために設けられており、特に消去時に10 V以上の消去電圧に昇圧されるように構成されることが望ましい。更に、メモリセルアレイ1中の選択されたメモリセルエレメントにデータ書き込みを行う際に、電源電圧よりも昇圧された書き込み電圧Vpgmを発生するためのVpgm発生回路41aが形成されている。このVpgm発生回路41a

とは別に、データ書き込み時に非選択のメモリセルに与えられる書き込み用中間電圧 V_{pass} を発生するための V_{pass} 発生回路41b、及びデータ読み出し時に非選択のメモリセルに与えられる読み出し用中間電圧 V_{read} 発生回路41cが設けられている。これらは、書き込み、消去、及び読み出しの各状態で、必要な電圧出力がデータ制御線ドライバ2に加えられるように、制御回路40によって制御されている。

【 0 0 2 1 】

書き込み電圧 V_{pgm} は6 V以上30 V以下の電圧であり、書き込み用中間電圧 V_{pass} は3 V以上15 V以下の電圧である。また、読み出し用中間電圧 V_{read} は1 V以上9 V以下の電圧で、NAND型アレイの場合、読み出し電流を十分確保し、リードディスタープを低下させるのには、書き込みしきい値上限よりも1 V 程度高い電圧が望ましい。上記データ制御線ドライバ2は、ロウデコーダ3の出力に従って、前記電圧出力を、書き込み又は読み出しが必要なメモリセルエレメントの制御ゲート電極や選択トランジスタのゲート電極に印加するスイッチ回路である。

【 0 0 2 2 】

[ECC回路部]

(誤りビット検出回路)

ECC回路部100内の誤りビット検出回路5は、図3に示すように、符号器14と、復号器15から構成される。符号化においては、情報ビット入力IBIを第1の内部I/O線92から入力し、符号出力C0を第2の内部I/O線91に出力する。誤りビットデータ判定回路105を含む誤りビット判定回路6において、外部I/O線94を第1の内部I/O線92に電氣的に接続することによって、メモリセルに1ビットの訂正が可能な符号を書きこむことができる。復号化においては、符号入力C0Iを第2の内部I/O線91から入力し、誤り訂正した情報ビット出力IB0を第1の内部I/O線92に出力する。また、誤り位置検出出力EPDを誤り検出信号として、誤り検出出力線93に出力する。以上により、メモリセルに1ビットの誤りを検出し、その位置情報を出力する回路が具体的に構成できる。

【 0 0 2 3 】

(誤りビット判定回路)

ECC回路部100内の誤りビット判定回路6は、図3に示すように、ページカウンタ10を含むCPU 108と、ページバッファ11と、RAM 111と、I/Oポート106及び107と、誤りビットデータ判定回路105とから構成される。CPU 108と、ページバッファ11と、RAM 111と、I/Oポート106及び107は共通のバス配線95によって、互いに接続されている。更に、I/Oポート107は外部I/O線94を介してテンポラリメモリ101に接続されている。誤りビットデータ判定回路105に対しては誤りビット検出回路5からの誤り検出信号が誤り検出信号線93を介して入力される。また、誤りビットデータ判定回路105とI/Oポート106に対しては第1の内部I/O線92が接続されている。

【 0 0 2 4 】

本発明の第1の実施の形態に係るデータ記憶システムの動作は、最も簡単に説明すると、図4に示すようなフローチャートに従う。

【 0 0 2 5 】

(a) ステップST1において、スタートする。

【 0 0 2 6 】

(b) 次にステップST2において、誤り位置を検出する。

【 0 0 2 7 】

(c) 次にステップST3において、上記誤り位置の生じたデータビットを抽出する。

【 0 0 2 8 】

(d) 次にステップST4において、上記誤りデータビットが“1”か“0”かを判定する。

【 0 0 2 9 】

(e) 次にステップST5において、終了する。

【 0 0 3 0 】

[メモリセルアレイとセンスアンプ／データラッチのレイアウト]

本発明の第1の実施の形態にかかるデータ記憶システムにおいて、メモリセルアレイ1とセンスアンプ／データラッチ46のレイアウトは、その一部を抽出して模式的に示すと、図5に示すように、メモリセルアレイ1と、センスアンプa、…、

kを含むセンスアンプ／データラッチ46と、センスアンプa, ..., kとデータ入出力バッファ45との間に接続され、カラムデコーダ48によって選択されるMOSトランジスタQaa, Qab, ..., Qka, Qkbとから構成される。メモリセルアレイ1は、ロウ方向のソース線SLとカラム方向のビット線BL1a, BL2a, ..., BL1k, BL2Kの間にマトリックス状に配置されたメモリセルブロック49, 49' と、データ転送線選択トランジスタQ1a, Q2a, ..., Q1k, Q2kと、データ転送線選択ゲート線sel1, sel2とから構成される。尚、以下において、同一部分は同じ符号をつけて説明を省略する。また、図5では、図を判り易くするために、紙面左右方向に1のメモリセルブロック49及び49' で共有されたメモリセルのデータ選択線WL0〜WL15, ブロック選択線SSL, GSLは省略して記載されている。

【0031】

「メモリセルブロック」とは、単一又は複数のページを含み、同時に消去動作が行われるメモリセルの単位をいう。ここで、例えば、電荷蓄積層を有したフラッシュメモリセルのように、1ページのメモリセルの消去時間が1ページのメモリセルの書き込み時間よりも長い場合には、メモリセルブロック49, 49' は複数のページを含み、複数のページで一度に消去動作を行うように構成することができる。以上のような構成においては、1ブロック当りの書き込み時間と1ブロック当りの消去時間とを同程度にすることができ、システムから見た書き込みデータ転送速度と消去速度のパフォーマンスを向上させることができ望ましい。

【0032】

また、本発明の第1の実施の形態に係るデータ記憶システムにおいて、メモリセルはデータ破壊を伴わずに複数回読み出すことができるメモリセルである。この点は、後述する本発明の第2乃至第7の実施の形態においても、同様である。これは、読み出し操作毎に、必ずデータ破壊を伴い再書き込み動作が必要とされるメモリセルとは異なり、以下に述べるように、リードディスターブによるビット誤りを訂正する書き込み・消去シーケンスの頻度を下げ、前記シーケンスによるメモリセルアクセスの占有時間を短くし、消費電力を削減するのに望ましい。

【0033】

[NAND型メモリセルブロック]

(等価回路及びパターン平面図)

本発明の第1の実施の形態に係るデータ記憶システムにおいて、メモリセルアレイ1を構成するメモリセルブロック中に配列されるの等価回路及びパターン平面図はそれぞれ図6及び図7に示す通りである。図7では、図5のメモリセルブロックを3個並列配置したパターン構造を示しており、セル構造をわかりやすくするために、制御ゲート電極27よりも下の構造のみを示している。

【 0 0 3 4 】

図6及び図7に示すように、電荷蓄積層26を有するMOSトランジスタからなるメモリセルトランジスタM0～M15が直列に接続され、一端が選択トランジスタS1を介してBLと記してあるデータ転送線に接続されている。また他の一端は選択トランジスタS2を介してSLと記してある共通ソース線に接続されている。これらのトランジスタは、同一のp型ウェル領域23上に形成されている。また、それぞれのメモリセルトランジスタM0～M15の制御電極は、WL0～WL15と記したデータ選択線に接続されている。データ転送線BLに沿った複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線BLに接続するため、選択トランジスタS1の制御電極はブロック選択線SSLに接続されている。更に、選択トランジスタS2の制御電極はブロック選択線GSLに接続されており、いわゆるNAND型メモリセルブロック49（破線の領域）を形成している。

【 0 0 3 5 】

本実施の形態では、選択トランジスタS1,S2の制御配線であるブロック選択線SSL,GSLは、メモリセルトランジスタの制御配線であるデータ選択線WL0～WL15の電荷蓄積層26と同じ層の導電体によって、紙面左右方向に隣接するメモリセルブロック49,49'で共通接続されている。ここで、メモリセルブロック49には、ブロック選択線SSL及びGSLは少なくとも1本あればよく、高密度化するためにはデータ選択線WL0～WL15と同一方向に形成されることが望ましい。また、メモリセルブロック49に $16=2^4$ 個のメモリセルエレメントが接続されている例を示したが、データ転送線BL及びデータ選択線WLに接続するメモリセルエレメントの数は複数であればよく、アドレスデコードをする上で 2^n 個（nは正の整数）であることが望ましい。

【 0 0 3 6 】

(素子構造)

本発明の第1の実施の形態に係るデータ記憶システムにおいて、NAND型メモリセルブロックの素子断面構造は、図8及び図9に示すように、図7に示すパターン平面図において、それぞれII-II方向及びI-I方向断面図に相当する。II-II方向断面図は、メモリセル部断面図に相当する。図8及び図9において、例えば、ボロン不純物濃度が 10^{14} cm^{-3} から 10^{19} cm^{-3} の間のp型ウェル領域23に、例えば、3 nmから15 nmの厚さからなるシリコン酸化膜又はオキシナイトライド膜から形成されたトンネルゲート絶縁膜25、 25_{SSL} 、 25_{GSL} を介して、例えばリン又は砒素を 10^{18} cm^{-3} から 10^{21} cm^{-3} 添加したポリシリコンからなる電荷蓄積層26、 26_{SSL} 、 26_{GSL} が10 nmから500 nmの厚さで形成されている。これらは、例えば、シリコン酸化膜からなる素子分離絶縁膜24が形成されていない領域上に、p型ウェル領域23と自己整合的に形成されている。これは、例えば、p型ウェル領域23にシリコン酸化膜又はオキシナイトライド膜から形成されたトンネルゲート絶縁膜25、及びポリシリコンからなる電荷蓄積層26を全面堆積した後、パターニングしてp型ウェル領域23に達するまで、p型ウェル領域23を例えば $0.05 \mu\text{m} \sim 0.5 \mu\text{m}$ の深さエッチングし、素子分離絶縁膜24を埋め込むことで形成することができる。このようにシリコン酸化膜又はオキシナイトライド膜から形成されたトンネルゲート絶縁膜25及び電荷蓄積層26を段差のない平面に全面形成できるので、より均一性の向上した特性の揃った製膜を行うことができる。

【 0 0 3 7 】

この上に、例えば、厚さ5 nmから30 nmの間のシリコン酸化膜又はオキシナイトライド膜、又はシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるブロック絶縁膜50、 50_{SSL} 、 50_{GSL} を介して、例えばリン、砒素、又はボロンを $10^{17} \sim 10^{21} \text{ cm}^{-3}$ を不純物添加したポリシリコン、又は、WSi（タングステンシリサイド）とポリシリコンとのスタック構造、又は、NiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造からなる制御ゲート電極27が10 nmから500 nmの厚さで形成されている。この制御ゲート電極27は、図7において隣接するメモリセルブロックで接続されるように図7において紙面左右方向にブロック境界まで形成されてお

り、データ選択線WL0～WL15を形成している。なお、p型ウェル領域23は、n型シリコン領域22によってp型半導体基板21と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。本実施の形態のゲート形状では、p型ウェル領域23の側壁が素子分離絶縁膜24で覆われているので、浮遊ゲート電極として形成される電荷蓄積層26を形成する前のエッチングで露出することがなく、電荷蓄積層26がp型ウェル領域23よりも下に来ることを防ぐことができる。よって、p型ウェル領域23と素子分離絶縁膜24との境界での、ゲート電界集中やしきい値低下した寄生トランジスタが生じにくい。更に、電界集中に起因する書き込みしきい値の低下現象、いわゆる、サイドウォーク (Side Walk) 現象が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【 0 0 3 8 】

図9に示すように、これら電荷蓄積層26及び制御ゲート電極27の両側には、例えば5 nmから200 nmの厚さのシリコン窒化膜、又はシリコン酸化膜からなる側壁絶縁膜43を挟んでソース又はドレイン領域となるn型拡散層28が形成されている。これらn型拡散層28、電荷蓄積層26及び制御ゲート電極27により、電荷蓄積層26に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMセルが形成されており、そのゲート長としては、 $0.5\mu\text{m}$ 以下 $0.01\mu\text{m}$ 以上とする。これらソース・ドレイン領域として働くn型拡散層28としては、例えばリンや砒素、アンチモンを表面濃度が 10^{17}cm^{-3} から 10^{21}cm^{-3} となるように、深さ10 nmから500 nmの間で形成されている。更に、これらn型拡散層28は隣接するメモリセル同士共有され、NAND接続が実現されている。

【 0 0 3 9 】

また、図9において、 26_{SSL} 、 26_{GSL} は、それぞれSSL及びGSLに相当するブロック選択線に接続されたゲート電極であり、前記浮遊ゲート型EEPROMの浮遊ゲート電極と同層で形成されている。ゲート電極 26_{SSL} 及び 26_{GSL} のゲート長は、メモリセルトランジスタにおける制御ゲート電極27のゲート長よりも長く、例えば $1\mu\text{m}$ 以下で且つ $0.2\mu\text{m}$ 以上に形成することにより、ブロック選択時と非選択時のオン／オフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【 0 0 4 0 】

また、制御ゲート電極 27_{SSL} の片側に形成され、ソース又はドレイン領域として働くn型拡散層 28_d は、例えばタングステンやタングステンシリサイド、チタン、チタンナイトライド、又はアルミニウムからなるデータ転送線36(BL)とコンタクト 31_d を介して接続されている。ここで、データ転送線36(BL)は、隣接するメモリセルブロックで接続されるように、図7において紙面上下方向にブロック境界まで形成されている。一方、制御ゲート電極 27_{GSL} の片側に形成されたソース又はドレイン領域として働くn型拡散層 28_s は、コンタクト 31_s を介して共通ソース線 33_{SL} に接続されている。この共通ソース線 33_{SL} は、隣接するメモリセルブロックで接続されるように、図7において紙面左右方向にブロック境界まで形成されている。勿論、n型拡散層 28_s を紙面左右方向にブロック境界まで形成することにより、ソース線としてもよい。これらBLコンタクト及びSLコンタクトとしては、例えばn型又はp型の不純物がドーパされたポリシリコン、タングステンやタングステンシリサイド、Al, TiN, Tiなどが充填されて、導電体領域となっている。更に、これら共通ソース線 33_{SL} 及びデータ転送線36(BL)と、前記トランジスタとの間は、例えば SiO_2 やSiNからなる素子分離絶縁膜68によって充填されている。このデータ転送線36(BL)上部には、例えば SiO_2 やSiN、又はポリイミドからなる絶縁膜保護層37、図には示していないが、例えばW, Al, やCuからなる上部配線が形成されている。

【 0 0 4 1 】

[データビット数 n と1ページのメモリブロック数の関係]

また、本発明の第1の実施の形態に係るデータ記憶システムでは、一連のシーケンスで読み出されるデータビット数 n が、 m を自然数として、 $(2^{m-1}-m)$ より大きく (2^m-m-1) 以下である場合、少なくとも (2^m-1) 個以上のメモリセルブロック49を図5又は図26の紙面左右方向、つまりデータ選択線の延びる方向に並列に用意し、1ページとして用いる。また、図2の構成では、センスアンプの数も少なくとも (2^m-1) 個以上のセンスアンプ/データラッチ46を用意することが望ましい。このようにメモリセルを準備することにより、例えば、ハミング符号を用いてメモリセルアレイ1の一連のシーケンスで読み出された1ページのビット誤り

を1ビット検出し、その位置を求めることができる。更に、一般には、 t を自然数として一連のシーケンスで読み出されるデータビット数が、 $[2^{m-1-t} \times (m-1) - 1]$ より大きく $(2^m - t \times m - 1)$ 以下である場合、少なくとも $(2^m - 1)$ 個以上のメモリセル49を図5又は図26の紙面左右方向、つまりデータ選択線の延びる方向に並列に用意し、1ページとして用いる。尚、1ページに属するメモリセルについては、例えば、1つのデータ選択線WLに共通に接続された複数のメモリセルとすることが、1度のデータ選択によって、複数のメモリセルを同時選択することができ望ましい。このようにメモリセルを準備することにより、例えば、ボウズ-チョウドゥリ-ホッケンゲム(BCH)符号を用いてメモリセルアレイ1の一連のシーケンスで読み出された t ビットのビット誤りを検出し、その位置を求めることができる。上記事情は本発明の第2乃至第7の実施の形態に係るデータ記憶システムにおいても適用されることはあきらかである。

【 0 0 4 2 】

更に、センスアンプ/データラッチ46の入出力は、メモリセルの読み出しや書き込み、及び消去を制御する制御回路40に接続されている。制御回路40は、例えばデータ入出力バッファ45に与えられたデータをコマンド入力とし、メモリセルの読み出しや書き込み、及び消去を制御する。また、図2では単純化のため示していないが、制御回路40より、センスアンプの動作を制御する制御信号やデータ転送線選択ゲート線sel1、sel2を制御する信号が供給されている。尚、メモリマクロ7で示す実線で囲った部分は、例えば、NAND型フラッシュメモリとして従来1つの半導体基板上に形成された記憶装置を示している。ここで、図2において、メモリマクロ7中のメモリセルアレイ1の構成を除く各部分の構成については、例えば、特開平2002-150783号公報によって公知な回路ブロックを用いてもよい。

【 0 0 4 3 】

尚、以後、わかりやすくするために、符号化前のデータ列を「情報ビット」、符号化後に付加されるビットを「検査ビット」、復号化後のデータ列で、情報ビットに引き続き誤り位置を示すビットを「シンドローム」と呼ぶことにする。データ入出力バッファ45は誤りビット検出回路5と第2の内部I/O線91を介して接続されている。更に、誤りビット検出回路5は誤りビットデータ判定回路105を含む

誤りビット判定回路6と第1の内部I/O線92により接続されている。更に、誤りビット検出回路5は誤りビットデータ判定手段を含む誤りビット判定回路6に誤り検出信号を出力する。この誤り検出信号は、誤りビット検出回路5から第1の内部I/O線92を通じて出力されるシンドロームによって代用してもよい。また、誤りビットデータ判定回路105を含む誤りビット判定回路6は、外部入出力I/O線94によって、これらデータ記憶システムと外部とのデータの授受を行っている。

【0044】

また、誤りビットデータ判定回路105を含む誤りビット判定回路6は、図3に示すように、例えばフリップフロップや揮発性メモリからなるページカウンタ10を含んでいる。このページカウンタ10は、1消去ブロック内のページ数のインデックスを記憶するためのものであり、ページ数を i として $\log_2(i)$ 以上のビット数の段数のカウンタを用意すればよく、少なくともカウンタのすべてのビットを一定の初期値とするリセット機能と、1ブロック内のすべてのページを1度ずつアクセスするようにページ数を増やす機能を有する。以下では、最も機能的に簡単な例として、最初のページのインデックスを初期値とするリセット機能と、ページカウンタ10を1だけ増やす機能を有しているとして説明する。また、誤りビットデータ判定回路105を含む誤りビット判定回路6は、例えばSRAMやDRAMなどの揮発性メモリからなるページバッファ11を含んでいることが、高速化の点で望ましい。図2に示すデータ記憶システム内において、データ訂正とリフレッシュを実行することができるからである。外部入出力I/O線94にデータ出力し、テンポラリメモリ101との間においてデータを授受する時間や手順が必要ないので高速化に望ましい。もちろん、ページバッファ11は、図2に示すデータ記憶システムの外部に配置されていてもよい。外部入出力I/O線94によって記憶読み出し可能な状態にあれば、本発明の実施の形態で示すリフレッシュ動作を実現することはできるからである。尚、ページバッファ11に必要なビット数は、情報ビット数に等しいビット数以上あればよい。

【0045】

[誤りビット検出回路]

ここで、誤りビット検出回路5は、データ入出力バッファ45から出力された一

連のデータのビット誤りを検出し、更に、その位置を特定し、その位置情報を誤り検出信号線93又は第1の内部I/O線92に出力する。この誤りビット検出回路5としては、例えば、1ビットのエラー修正が必要な場合には、公知の巡回ハミング符号復号器を用いればよい。図10及び図11に、例えば、4ビットのデータビットで1ビット誤り訂正可能な、7ビットの符号を形成するデータ巡回ハミング符号符号器、及び巡回ハミング符号復号器の具体例を示す。更に慣例では消去状態の論理値を“1”、書き込み状態の論理値を“0”とするが、本発明の第1の実施の形態に係るデータ記憶システムでは、消去状態の論理値を“0”、書き込み状態の論理値を“1”と逆に定義する。これは、本発明の第1の実施の形態では、線形な誤り訂正を行う回路を用いることを実施の形態としているため、シンδροームがすべて論理値“0”であることが誤りが無い状態に対応し、シンδροームを含む1ブロック全部消去を行うだけで、誤りのない初期値を形成することができるようにするためである。もちろん、メモリセルの書き込み及び消去論理値を従来通りとし、第2の内部I/O線91に論理反転回路を介在させることによって、誤りビット検出回路5では論理値がメモリセルと逆となるように設定しても良い。

【 0 0 4 6 】

(ハミング符号符号器)

例えば、4ビットのデータビットで1ビット誤り訂正可能な、7ビットの符号を形成するデータ巡回ハミング符号符号器は、図10に示すように、3個の単位時間遅延回路8と、2個の排他的論理和回路12と、2個のスイッチSW1, SW2から構成される。図10において、情報ビット入力IBIは単位時間ごとに時系列として4ビット与えられるとする。また、単位時間遅延回路8は1単位時間だけ遅延させる機能を有し、例えば、公知であるD型フリップフロップなどフリップフロップやラッチ回路で構成すればよく、D型フリップフロップにクロックが与えられる前は論理値“0”に設定されているものとする。また、スイッチSW1は、情報ビット入力中、つまり、1ビットから4ビットまでは、SW1a側に接続され、情報ビット入力終了後検査ビット出力中、つまり5ビットから7ビットまではSW1bに接続されるスイッチ回路である。また、スイッチSW2は、情報ビット入力中、つまり、1ビットから4ビットまでは接続状態となり、情報ビット入力終了後検査ビット出力中、つまり

5ビットから7ビットまでは論理値“0”を○(白丸)方向に出力するスイッチ回路である。このような構成を7ビットの出力が終了するまで7回クロックを与えることにより、1ビット修正可能な巡回符号を作成することができる。よって、符号化においては、情報ビット入力IBIを第1の内部I/O線92に電氣的に接続し、符号出力C0を第2の内部I/O線91に電氣的に接続し、誤りビットデータ判定回路105を含む誤りビット判定回路6において、外部I/O線94を第1の内部I/O線92に電氣的に接続することによって、メモリセルに1ビットの訂正が可能な符号を書きこむことができる。なお、ここで、外部I/O線94は、具体的には、例えば、メモリカードの入出力端子や、本システムパッケージより外にコネクタ又は無線通信手段を通じて接続される入出力部分を示す。

【 0 0 4 7 】

(ハミング符号復号器)

更に、本発明の第1の実施の形態において適用される一例としての巡回ハミング符号復号器は、図11に示すように、11個の単位時間遅延回路8と、3個の排他的論理和回路12と、1個のANDゲート13とから構成される。符号入力C0Iから8単位時間遅れ後に、誤り訂正された情報ビット出力IB0が出力される。また、情報ビット出力IB0と同時に、誤り位置検出出力EPDを得ることができる。この誤り位置検出出力EPDは、誤り位置を生じたビット部分のクロックで、論理値“1”を出力し、誤り位置が無い場合には論理値“0”を出力する構成となっている。よって、復号化においては、符号入力C0Iを第2の内部I/O線91に電氣的に接続し、誤り訂正した情報ビット出力IB0を第1の内部I/O線92に電氣的に接続し、誤り位置検出出力EPDを誤り検出信号として誤りビットデータ判定回路105を含む誤りビット判定回路6に電氣的に接続する図2の構成を形成する構成とする。尚、誤り位置検出出力EPDを単に得るだけであれば、図11の点線部分で表される誤り位置検出出力回路9があればよい。以上により、メモリセルに1ビットの誤りを検出し、その位置情報を出力する回路が具体的に構成できる。これら図10及び図11の回路を誤りビット検出回路5とすればよい。

【 0 0 4 8 】

ここでは1ビットの誤り修正可能な巡回ハミング符号の符号及び復号回路を示

したが、もちろん、他の符号系、例えば、一般のBCH符号やM系列符号、畳み込み符号(Convolution Code)、差集合巡回符号でも良く、それらを組み合わせても良い。但し、第2の内部I/O線91の配線数及び第1の内部I/O線92の配線数を少なくするためには、時系列で情報ビットを与えられ、少ない回路規模で符号化及び復号化できる巡回符号であることが望ましい。また、例えば、符号語を r [ビット]まとめた 2^r 個の元を持ついわゆるバイト符号でももちろん良く、例えば、BCH符号の中でのバイト符号であるリードソロモン符号でもよい。このバイト符号の場合には、まず、元の何れかが誤りがあるというバイト誤りを検出し、その後に、誤り訂正前のバイトと誤り訂正後のバイトを1ビットずつ比較することにより、そのバイト内のデータの各ビットで誤りを生じたビットを"1"か"0"かを判別すればよい。この後、例えば、上記判定結果で、少なくとも1つのビットで、消去状態が書き込み状態に誤っている場合に、リフレッシュ動作を行うようにすればよい。

【 0 0 4 9 】

また、畳み込み符号としては、例えば1ビット誤り訂正可能なワイナー・アッシュ符号やバースト誤り訂正可能な岩垂符号、ハーゲルバーガー符号を用いることができる。また、この場合は、その拘束長(Constraint Length)を前記ページ長よりも短くすることにより、1つの誤り訂正符号で符号化した場合よりも、復号化に対して最初の誤り訂正情報の出力を早く得ることができる。同様に、符号の組み合わせに対しては、例えば、情報ビットを複数個、例えば2つに分解し、符号長の短い誤り訂正符号を前記ページの最初に出力される情報ビット符号化に用い、符号長の長い誤り訂正符号を前記ページに後側に出力される情報ビット符号化に用いてもよい。この場合の構成としては、第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を時系列データとして入力とし、少なくとも1ビットのデータ誤りを訂正し第1の符号長を有する第1の誤り訂正復号化手段と、第1の複数のメモリセルを含む少なくとも1つの第1のページのデジタルデータ出力を時系列データとして入力とし、少なくとも1ビットのデータ誤りを訂正し第2の符号長を有する第2の誤り訂正復号化手段とを有し、前記第1の符号長は第2の符号長よりも短く、前記第1の誤り訂正復号化手段の情報ビ

ット出力が第2の誤り訂正復号化手段の情報ビット出力よりも先に出力されるようにすればよい。このようにすることにより、1ページ全部を1つの誤り訂正符号で符号化した場合よりも、復号化に対して最初の誤り訂正情報の出力を早く得ることができ、かつ、符号ビット長の情報ビット長に対する割合を小さくし、効率よい符号化を実現することができる。

【 0 0 5 0 】

また、誤りビット検出回路5や誤りビットデータ判定回路105を含む誤りビット判定回路6の一部は、ここでは回路で形成する方法を示したが、もちろん、例えば、アキュムレータとメモリ素子によって形成したマイクロコード演算器のソフトウェアや、シーケンサ(Sequencer)のハードウェアによって実現しても良い。但し、誤りビット検出回路5は検出及び訂正ビット数が少ない場合には、図10及び図11のようにハードウェアで実現した方が、回路面積が小さくクロック遅れが少なくデータ出力できより望ましい。これら、復号回路や誤り訂正復号化手段については、本実施の形態に限らず、以後述べるすべての実施の形態について有効である。

【 0 0 5 1 】

[リードディスタート検知回路]

ここで、本発明の第1の実施の形態に係るデータ記憶システムでは、誤りビットデータ判定回路105を含む誤りビット判定回路6に特徴がある。誤りビットデータ判定回路105は、例えば、図12のような回路で実現される。図12は、図48で示すように、読み出しを繰り返すとしきい値が上昇する問題を有するメモリセルアレイについて、そのリードディスタートを検知する回路を示したものである。本回路では、入力として、図11で示される誤り訂正された情報ビット出力IB0の否定と、誤り位置検出出力EPDの2つが入力される。図12の回路により、誤り位置が検出された場所において、誤り訂正された出力が消去しきい値“0”となっている、つまり消去状態“0”が書き込み状態“1”と誤っていた場合のみ、論理値“1”が出力される。ここで、メモリセルブロックを消去した場合に、ペリファイ消去を行うことによって、消去しきい値を一定以下に抑えた構成では、リードディスタートストレスが印加される前は、消去状態“0”を実現するようにされて

いる。よって、この消去状態“0”が書き込み状態“1”と誤っていた場合は、読み出し電圧ストレスによる状態変移と考えてよい。このように、ANDゲート1つとインバータ1つという非常に少ない論理回路で、誤りを生じたビットが“1”か“0”かを判別する手段を形成することができる。もちろん、図11で、8段の単位時間遅延回路8の最終段の出力をインバータ出力と結線された側のANDゲートの入力に代用すれば、ANDゲート1つでリードディスタ urbを検出することができ、より簡便な回路となる。

【 0 0 5 2 】

[テンポラリメモリ]

更に、本発明の第1の実施の形態に係るデータ記憶システムに含まれるテンポラリメモリは、外部I/O線に接続されたテンポラリメモリ101を用いている。図13にそのメモリの回路例を示す。図13では、kビットのデータを一時記憶するテンポラリメモリ101の例を示している。本例ではD型フリップフロップ201を直列にk段接続し、最終段の出力を、n型トランジスタ202とp型トランジスタ203、及びインバータ204からなる双方向スイッチ回路によって、接続している。尚、D型フリップフロップ201としては、クロック入力CIが“L”（ここでは便宜的に0[V]とする）から“H”（ここでは便宜的に電源電圧Vccとする）に立ち上がる瞬間に出力が確定し、それ以後はクロックが“H”のままだでも“L”のままだでも“H”から“L”へ変化しても出力は変化しないエッジトリガー型のフリップフロップとする。更に、この双方向スイッチ回路は、データ出力制御入力が“H”の場合に、n型トランジスタ202とp型トランジスタ203の電流端子が導通状態となり、“L”の場合に遮断状態となる回路である。図14にその回路の動作を示す。図14において、T1はページバッファ又はテンポラリメモリへデータを記憶する期間を表し、T2はページバッファ又はテンポラリメモリからデータを読み出す期間を表す。D型フリップフロップにデータを記憶する場合には、まず、データ出力制御入力DOCを“L”とし、D型フリップフロップ201の出力がデータ入出力線D I/Oに出力されないようにする。更に、データ入出力線DI/OにVcc(“H”)か0V(“L”)のデジタルデータ入力Din1を与えた後、クロック入力CIを“L”から“H”にする。これにより、データ入力Din1のデータが図13の最も左側のD型フリップフロップ201に保持される。ついで、データ入出力

線D I/OにVcc("H")か0V("L")のデジタルデータ入力Din2を与えた後、クロック入力CIを"L"から"H"にする。これにより、データ入力Din1のデータが図13の左から2番めのD型フリップフロップ201に転送及び保持され、最も左側のD型フリップフロップ201にデータ入力Din2が保持される。後は、順次k[ビット]までデータ入出力線D I/Oにデジタルデータを与え、クロック入力CIを与えることにより、
図

13の右のD型フリップフロップから順にDin1,Din2...Dinkのデータが保持され、k[ビット]のデータを保持することができる。

【 0 0 5 3 】

次にテンポラリメモリ101からデータを読み出す際には、まず、データ出力制御入力DOCを"H"とし、最も右側のD型フリップフロップ201の出力をデータ入出力線D I/Oに出力する。これによりデータ入出力線D I/Oにはデータ入力Din1のデータと同じデータ（ここではデータ出力Dout1とする）が出力される。更に、クロック入力CIを"L"から"H"にする。これにより、左から右のD型フリップフロップに1ビットデータが転送及び保持される。その結果、データ入出力線DI/Oにはデータ入力Din2のデータと同じデータ（ここではデータ出力Dout2とする）が出力される。後は、全部で(k-1)回クロック入力CIを"L"から"H"にすることにより、データ入出力線(D I/O)に図13の右のD型フリップフロップから順にデータ入力Din1,Din2...Dinkのデータに相当するデータ出力Dout1,Dout2...Doutkが出力され、k[ビット]のデータを出力することができる。

【 0 0 5 4 】

以上により、図13がk[ビット]のデータをシーケンシャルに記憶し、記憶した順序で取り出せることが判明した。本回路は、図3で説明したページバッファ11の回路にも用いることができる。この場合には、上記kを情報ビット数と読み替えばよい。

【 0 0 5 5 】

図13で示した回路では、不揮発性メモリは不要であり、論理回路を形成するトランジスタによって構成できる。よって、論理回路形成と同じプロセスを用いることにより、プロセスコストを削減できる。

【 0 0 5 6 】

[リフレッシュ動作]

次いで、メモリセルアレイ1の1メモリセルブロック（第1のメモリセルブロック）について、リードディスタ urbによるビット破壊を検出し、データを完全に復元するリフレッシュ動作について、図15乃至図17に示すように、フローチャートを用いて説明する。

【 0 0 5 7 】

(a) まず、手順SE1において、ページカウンタ10を最初のページを示すようにリセットする。

【 0 0 5 8 】

(b) 次に、手順SE2において、第1のメモリセルブロックについて、ページカウンタ10の示すページを読み出し、誤り訂正してページバッファ11に記憶する。この際、例えば、本メモリセルブロックの読み出し操作が当該メモリマクロ7の外部より指示されている場合には、本読み出し内容、即ち、ページカウンタ10の示す内容をページバッファ11に転送するとともに、そのままを外部入出力I/O線94に並列に出力することができる。ここで、読み出しデータが外部入出力I/O線94に出力される動作は、リードディスタ urbによるデータ破壊検出動作を含むので、リードディスタ urbによるデータ破壊検出動作と外部入出力I/O線94へのデータ出力操作を別シーケンスで行う場合よりも、実行時間を短縮することができる。

【 0 0 5 9 】

(c) 次に、例えば、手順SE3において、誤りビット判定回路6内に形成されたページカウンタ10の出力が論理値“1”であることが少なくとも1回生じることを誤り訂正中に検出することにより、リードディスタ urbが生じたビットがあるかどうかを検出する。

【 0 0 6 0 】

(d) もし、これによって、誤りビット判定回路6に形成されたページカウンタ10の出力が一度も論理値“1”とならない場合には、本ページではリードディスタ urbによる誤りビットは生じていないとして、手順SE4において、ページカウンタ10内のページカウント数を例えば1増やす。

【 0 0 6 1 】

(e) この後、手順SE5において、ページカウンタ10がすべてのページのインデックスを参照したかどうか判定する。これは、ページカウンタ10を1ずつ増やす手順SE4のシーケンスを用いている場合には、1メモリセルブロックに含まれるページ数と比較してインデックスがそれ以下かどうかを判定することと等価である。本手順SE5のシーケンスでページ数が1メモリセルブロックに含まれるページ数以下の場合には、そのページにリードディスタ urbによる誤りビットを生じたセルは無いので、次ページのリードディスタ urbを調べる手順SE2のシーケンスに移行する。また、ページ数よりも大きい場合は、本メモリセルブロックにリードディスタ urbしたセルは無いとして終了する。

【 0 0 6 2 】

(f) 次に、手順SE3でリードディスタ urbによる誤りビットが検出された場合には、手順SE6の、第1のメモリセルブロックのデータを読み出し、誤り訂正したデータをメモリセルに書きこむシーケンスに移行する。

【 0 0 6 3 】

ここで、電荷蓄積層26を有する不揮発性メモリにおいて、リードディスタ urbによるしきい値変化は、特許文献1において開示されたように、ストレス印加時間 t_s に対して $\log(t_s)$ のように依存するため、ストレス印加後にストレスが一回追加されても大きくしきい値は変化しない。よって、読み出し回数が大きな値である場合には、リードディスタ urbによる誤りビットが生じる1回当りの読み出しに対する確率は大きく減少する。つまり、例えば、 n が1000回以上では、読み出し回数を1回増やしても、リードディスタ urbによる誤りビットは急に増加することはない。よって、手順SE6は、手順SE3の直後に行われる必要はなく、例えば手順SE3後にデータ破壊を示すフラグや当該ページの位置情報をテンポラリメモリ101に記憶しておき、手順SE3と手順SE6との間で通常の情報ビットの読み出し、書き込み、及び消去を行った後、本発明の第1の実施の形態に係るデータ記憶システムに対するデータ入出力要求頻度が低いときに、テンポラリメモリ101の内容を参照して、リードディスタ urbによるデータ破壊が生じている場合に、手順SE6を行うようにしてもよい。また、例えば、手順SE3のシーケンス後に、デ

ータ破壊を示すフラグをテンポラリメモリ101に記憶しておき、第1のメモリセルブロック内のページを、例えば、すべて読み出し、外部入出力I/O線94にデータ出力することにより、手順SE6のシーケンスよりも先に第1のメモリセルブロック内の必要なページを読み出す処理を行ってもよい。

【 0 0 6 4 】

このようにすることにより、本発明の第1の実施の形態に係るデータ記憶システムにおいて、情報データ読み出し要求が実行された時に、手順SE6のシーケンスに起因するデータ遅延に関係なく、第1のメモリセルブロック内の必要なページを読み出し出力し、又、データ入出力要求頻度が低いときに、情報ビットのリフレッシュに相当する手順SE6を行うことができる。ここで、手順SE1から手順SE5までは、メモリセルアレイ1への情報データの書き込み及び消去動作を伴わず、読み出し操作だけで行えるので高速動作可能である。一方、手順SE6は、メモリセルアレイ1への情報データの書き込み及び消去動作を伴うため、時間がかかる。よって、データ入出力要求頻度が低いときに、情報ビットのリフレッシュに相当する手順SE6を行うことにより、外部から見た読み出しのレイテンシー (Latency) を向上させることができる。

【 0 0 6 5 】

尚、手順SE1から手順SE5までのシーケンスを電源投入時に行うことによって、電源投入時にイニシャルプログラムローダーやファイルアロケーションテーブルなど、あらかじめ決まったブロックを読み出す用途では、本発明の第1の実施の形態に係るデータ記憶システムにおいて、特に、手順SE1から手順SE5までのデータ破壊検出動作と読み出し動作を同じ動作で行うことにより、読み出し頻度が高い、つまり、リードディスクターブによるデータ破壊頻度が他のメモリセルブロックよりも高いと予想されるブロックを選択的にリフレッシュすることができる。即ち、全体としてよりデータ破壊の少ない高信頼のデータ記憶システムを実現することができる。尚、イニシャルプログラムローダーやファイルアロケーションテーブルなどあらかじめ決まったページの情報ビットは、当然にすべて外部入出力I/O線94から読み出すことができることが望ましい。1ページを同時に読み出した場合のデータバンド幅を大きくし、高速読み出しできるからである。

【 0 0 6 6 】

(手順SE6の具体的シーケンス)

ついで、手順SE6の具体的シーケンス内容を図16を用いて説明する。図16では、第1のメモリセルブロックの内容をリードディスタ urbによる誤りを訂正して第2のメモリブロックに書きこむことにより、リードディスタ urbによる誤りビットを含むデータをリフレッシュする例が示されている。尚、ここで第2のメモリセルブロックは第1のメモリセルブロックと実質的に同じ構造を有することが、メモリセルアレイ1の面積を縮小し、より安価なチップを構成するのに望ましい。また、第2のメモリセルブロックのページ数は、少なくとも第1のメモリセルブロックの総ページ数以上であることが必要である。

【 0 0 6 7 】

(g) 手順SE7において、まず、第2のメモリセルブロックを消去する。このシーケンスは、既に第2のメモリセルブロックが消去してある場合は不要である。

【 0 0 6 8 】

(h) 次いで、手順SE8において、ページカウンタ10を最初のページを示すようにリセットする。

【 0 0 6 9 】

(i) ついで、手順SE9において、第1のメモリセルブロックについて、ページカウンタ10の示すページを読み出し、誤り訂正してページバッファ11に記憶する。この際、例えば、第1のメモリセルブロックの読み出し操作が、本発明の第1の実施の形態に係るデータ記憶システムの外部より、指示されている場合には、必要に応じ、本読み出し内容を外部入出力I/O線94から出力してもよい。

【 0 0 7 0 】

(j) 更に、手順SE10において、ページカウンタ10の示す第2のメモリセルブロックに、ページバッファ11の内容を誤り検出符号になるよう符号化して書き込む。この書き込みの情報ビットに加え、データ書き込み終了フラグを、書き込み終了後に第2のメモリセルブロックの他のビットに書き込んでもよく、このようにすることにより、書き込み時の電源の遮断による書き込み失敗を検出し、復帰シーケンスを行うことができる。

【 0 0 7 1 】

(k) ついで、手順SE11のシーケンスでページカウンタ10を、例えば、1増やす。

【 0 0 7 2 】

(l) この後、手順12において、ページカウンタ10がすべてのページのインデックスを参照したかどうか判定する。これは、ページカウンタ10を1ずつ増やす手順SE11のシーケンスを用いている場合には、第1の1メモリセルブロックに含まれる総ページ数と比較してインデックスがそれ以下かどうかを判定することと等価である。手順SE12のシーケンスでページ数が1メモリセルブロックに含まれるページ数以下の場合には、次ページの内容をリードディスタ urb 修正してコピーする手順SE9のシーケンスに移行する。また、1メモリセルブロックに含まれるページ数よりも大きい場合は、第1のメモリセルブロックの全ページの情報ビットの内容を、リードディスタ urb による符号誤りを訂正して第2のメモリセルブロックにコピーしたことになる。

【 0 0 7 3 】

(m) この後、手順SE13において、例えば、本発明の第1の実施の形態に係るデータ記憶システムとして、公知のファイルアロケーションテーブルを利用している場合には、そのファイルアロケーションテーブルの内容で、第1のメモリセルブロックを指し示す部分を第2のメモリセルブロックを指し示す部分と変更して終了する。

【 0 0 7 4 】

以上説明した手順SE6の操作によって、該ブロックの消去しきい値及び書き込みしきい値は、すべてリードディスタ urb を受ける前の設定しきい値に再設定される。このシーケンスを「リフレッシュ」と呼ぶことにする。このように、リードディスタ urb を検出しリフレッシュを行うことで、[リードディスタ urb 判定までの累計リード回数] × [メモリセルの書き込み消去可能回数] まで、読み出し可能回数を増やすことができる。よって、リフレッシュを行わない従来例よりも読み出し回数を大幅に増加することができ、より信頼性が高いメモリセルを実現することができる。また、書き込みしきい値及び消去しきい値も、リードディスタ urb や長期間のデータ保持を生じる前の状態に再設定されるため、リフレッシュ

前のしきい値低下も補正することができ、より信頼性が高いデータ記憶システムが形成できる。更に、リードディスタurb検出動作によってデータ破壊が生じないので、リードディスタurb検出を行った後も、再書き込みを行わない状態では、再び当該セルを読み出すことによりリードディスタurbを検出できる。よって、複数ブロックでリードディスタurbによる誤りデータ検出が生じた場合でも、図15のフローチャートに示した1ブロックごとのリフレッシュを複数回繰り返すことにより、1ブロックずつデータ修正を行い、リフレッシュの頻度を平均化することができる。

【 0 0 7 5 】

ここで、複数ブロック、例えば、メモリセル全アレイのリードディスタurb修復を行うには、図15のフローチャートに示すシーケンスを、互いに異なる第1のメモリセルブロックについて行えばよい。この場合、例えば、第3の複数のメモリセルを準備し、そこに、リードディスタurbによって符号誤りが生じた場合に、そのページの位置又はブロックの位置を指定するインデックスを記録すればよい。更に、第3の複数のメモリセルに複数のページ位置又は複数のブロック位置のインデックスを記録できるようにすることが、複数ブロックでリードディスタurbによる誤りデータ検出が生じた場合でも、図15のフローチャートに示す1ブロックごとのリフレッシュを複数のブロックで一回ずつ、複数回繰り返すことにより、1ブロックずつデータ修正を行うことができ、リフレッシュ頻度を平均化することができ望ましい。もちろん、ここで第3の複数のメモリセルとしては、DRAMやSRAMでも良い。或いは又、第1のメモリセルと実質上同じ構造を有する複数のメモリセル、例えば、図22若しくは図27において、テンポラリメモリとして示すメモリと同じ構造のメモリでも良い。特に、第1のメモリセルと実質上同じ構造を有する複数のメモリセルの場合は、電源遮断後もデータ保持を行うことができ、複数のメモリセルブロックのリフレッシュ動作を電源遮断、電源投入のサイクルが存在してもリフレッシュ頻度を平均化することができ望ましい。

【 0 0 7 6 】

[不揮発性半導体記憶装置のリフレッシュ・アルゴリズム]

図17は、上記第1の実施の形態に係るデータ記憶システムにおいて、不揮発性

半導体記憶装置のリフレッシュ・アルゴリズムを示すフローチャートである。

【 0 0 7 7 】

(a) 図17に示されるように、手順SR1において、電源が投入されると、自動的に全クラスタの前のリフレッシュからこれまでの総読み出し回数 Y_i が読出され、総読み出し回数をカウントするページカウンタ10にプリセットされる。その後、CPU 108はメモリマクロ7からのデータの読出をモニタする。

【 0 0 7 8 】

(b) 次に、手順SR2において、データの読み出しが行われると、手順SR3において、ページカウンタ10によって総読み出しカウント数 Y_i を1ずつ増やし、更に手順SR4において、総読み出し回数 Y_i が予め設定された基準読み出し回数 Y_c になったかどうかを判定する。

【 0 0 7 9 】

(c) 次に、手順SR5において、総読み出し回数 Y_i が基準値 Y_c に等しくなると、全データが読み出され、ECC回路部100を介してページバッファ11に記憶される。これらのデータ中の誤りがECC回路部100によって判定され、ECC回路部100内の誤り個数カウンタによって個数 E_i が計数される。

【 0 0 8 0 】

(d) 次に、手順SR6において、誤り個数 E_i は誤り個数比較器に予め設定されている許容値 E_c と比較される。尚、許容値 E_c は適宜変更することが出来る。

【 0 0 8 1 】

(e) 次に、手順SR7において、誤り個数 E_i が許容値 E_c を越えているときは、 i 番目のクラスタ中の全ブロックは消去され、手順SR8において、エラー訂正済みのデータが再度同クラスタに書込まれ、データのリフレッシュが行われる。

【 0 0 8 2 】

(f) その後、手順SR9において、クラスタ i についての総読み出し回数 Y_i は"0"に書き換えられ、リセットされる。

【 0 0 8 3 】

(g) 一方、手順SR6において、誤り個数が許容値を越えていなかった場合には、データの消去及び再書込み（手順SR7,SR8）は行われず、手順SR9において、総読

み出し回数 Y_i は0に書替えられリセットされる。

【0084】

(h) 次に、手順SR9において一連の動作を繰り返す。

【0085】

このような不揮発性半導体記憶装置のリフレッシュ・アルゴリズムの例については、特開平8-279295号公報に開示されている通りである。

【0086】

[本発明の第1の実施の形態の特徴]

(1) 本発明の第1の実施の形態では、少なくとも1ビットのデータ誤りを検出し、その誤りを生じたビットが“1”か“0”かを判別する手段を有している。ここで、リードディスタ urbによる消去ビット“0”を書き込みビット“1”と誤る方向は、書き込みビット“1”を消去ビット“0”と誤る書き込みデータ保持不良による誤る方向と逆であり、これらを区別できる。よって、例えば、書き込みデータ保持不良のリフレッシュを行わず前者のリードディスタ urbによる誤りビットを選択的にリフレッシュすることにより、判別する手段を有しない場合よりも長いリフレッシュサイクルを得ることができる。

【0087】

また、書き込みデータ保持不良ビットに対しては、追加書き込みを行えばよく、リードディスタ urbのリフレッシュのように全ブロックを消去した後に書き戻しする必要はない。よって、この方法では、誤りを生じたビットが“1”か“0”かを判別する手段を有することによって、書き込みデータ保持不良ビットについては長い時間を有する消去時間を短縮することができ、より全リフレッシュ時間を短縮することができる。

【0088】

(2) 本発明の第1の実施の形態に係るデータ記憶システムにおいて、メモリマクロ7内には誤り訂正ビットを含む複数の半導体メモリが形成されており、誤り訂正ビットを含まない記憶手段とメモリセルのアレイのロウ方向の数が異なるのみでデータ破壊検出専用セルなど特別な回路や手段はメモリマクロ7には必要ない。よって、特に、誤り訂正ビットと情報記憶ビットとを隣接して同様のパターン

で繰り返し形成することができるため、従来と同じメモリマクロ7を用いて安価でチップ面積の小さいデータ記憶システムを実現できる。更に、リードディスタースターブによって誤り訂正必要な情報ビットが発生した時点より後に必ずリードディスタースターブ検知がなされる。よって、リードディスタースターブを生じる「裾ビット」の統計的挙動がチップ間又は経時変化によって変化しても正しくリードディスタースターブ検知を行うことができる。

【 0 0 8 9 】

(3) 本発明の第1の実施の形態に係るデータ記憶システムには、誤りビット訂正を行える手段を有しており、データを外部I/O線94に出力する過程で“1”から“0”へのデータ誤りでも“0”から“1”へのデータ誤りのいずれでも訂正を行える。よって、本構成で、リードディスタースターブのリフレッシュと共に書き込みデータ保持不良のデータ訂正も行うことができる。

【 0 0 9 0 】

(4) 本発明の第1の実施の形態に係るデータ記憶システムの構成では、少なくともページバッファ11に相当する1次記憶メモリを有すればよく、ブロック全体を記憶する容量を用意する必要はない。よって、より、リフレッシュに必要とされる1次記憶メモリの容量を小さくし、消費電力が小さくより小さな面積の回路でデータ記憶システムを実現することができる。

【 0 0 9 1 】

(5) 本発明の第1の実施の形態に係るデータ記憶システムの構成では、従来例と異なり、リードディスタースターブによる誤りビットを誤り訂正符号化したデータより直接検出している。よって、符号化したいずれのビットが異常に読み出しストレスに弱いセル、即ち、「裾ビット」であっても、データ誤りが生じた時点で正しくリードディスタースターブを検出できる。よって、データリフレッシュ間隔を実メモリセルの「裾ビット」の特性に即して設定でき、より長くすることによりデータリフレッシュに費やされる時間を短くできる。

【 0 0 9 2 】

(6) 本発明の第1の実施の形態に係るデータ記憶システムの構成では、1ページに対して1回のデータ読み出しによってリードディスタースターブによる誤りビット検出

を行っている。よって、従来のリードディスターブを検出しない場合と比較して読み出しにかかる時間は変化せず、高速で読み出しを行うことができる。

【 0 0 9 3 】

(7) 本発明の第1の実施の形態に係るデータ記憶システムの構成では、電源遮断、電源投入、及び1つのページのデータを前記外部データ出力端子より読み出す一連の動作を複数回繰り返した場合に前記ページに書き込んだ情報データと同じ情報データが読み出せる回数は、前記1つのページのデータを連続的に読み出す操作を前記ページに書き込んだ情報データと同じ情報データが読み出せる回数よりも多くできる。よって、システム外部から見て、メモリマクロ7単体よりリードディスターブに対して信頼性が向上したデータ記憶システムとなる。

【 0 0 9 4 】

(8) 本発明の第1の実施の形態に係るデータ記憶システムの構成では、第2のメモリセルブロックを消去すればよく、第1のメモリセルブロックを消去する必要はない。よって後述する第3の実施の形態よりもメモリセルブロックを消去する時間を短縮でき、よりリフレッシュに占有される時間を短くすることができる。

【 0 0 9 5 】

(第2の実施の形態)

本発明の第1の実施の形態においては、テンポラリメモリはメモリマクロ7の外部に構築される構成を示していたが、メモリマクロ7の内部に構築することもできる。尚、テンポラリメモリの具体例については、特願2000-344364に開示されている。本発明の第2の実施の形態に係るデータ記憶システムは、図18に示すように、メモリセルアレイ1及びメモリセルアレイ1と同一チップ上にメモリセルアレイ1と隣接して実質的に同一回路にて構成されたテンポラリメモリ102を含むメモリマクロ7と、誤りビット検出回路5及び誤りビット判定回路6を含むECC回路部100とから構成される。誤りビット検出回路5と誤りビット判定回路6との間には第1の内部I/O線92が配線され、メモリマクロ7とECC回路部100との間には第2の内部I/O線91が配線されている。更に、メモリマクロ7の詳細は図19に示す通りであり、ECC回路部100の詳細は図3に示す通りである。

【 0 0 9 6 】

[データ記憶システム]

本発明の第2の実施の形態においては、図19に示すように、メモリマクロ7内において、テンポラリメモリ102をメモリセルアレイ1に隣接して同一チップ上に形成している。ここで、上記図15及び図16に示したリフレッシュ動作については、例えば、詳しくは図20及び図21のフローチャートで示すシーケンスを、図19で示す回路構成において実行すれば、メモリマクロ7の外部に新たにテンポラリメモリを用いなくてもリードディスタブの生じているメモリセルブロックのデータをリフレッシュすることができる。ここで、図19は、基本的には、図2と同じであるが、テンポラリメモリ102と、ページカウンタ86とが追加されている。ここで、ページカウンタ86とは、1ブロック内のページの位置を数えるための装置であり、例えば、フリップフロップを用いたシフトレジスタと二進カウンタから形成されており、テンポラリメモリ102内とリードディスタブの生じているメモリセルブロックの1ページ内において、データ制御線ドライバ2,205を通じていずれか1つのデータ選択線をカウンタの値にしたがって選択するように形成されている。また、このページカウンタ86の入力として、制御回路40が接続されており、ページカウンタ86の初期化とカウンタ値の増加(インクリメント)を行っている。

【0097】

更に、図19におけるテンポラリメモリ102は、例えば、図22のようにメモリセルアレイ1を形成しているメモリブロックと同一の1ブロックを追加したものを、同じデータ転送線BLの延長に形成すればよい。尚、図22は、図5に対応する回路図である。図22では、同一データ選択線に接続された複数のメモリセルがテンポラリメモリ102として用いられている。このような構成を用いることにより、テンポラリメモリ102のデータビット数をデータを記憶する同一データ選択線に接続されたメモリセルの数と揃えることができる。更に、テンポラリメモリ102に接続されるデータ制御線ドライバ205もメモリセルアレイ1に接続されるデータ制御線ドライバ2と同一の回路でよい。このようにすることにより、テンポラリメモリ102の面積を、メモリセルアレイ1と同様に小さくデザインすることができる。

【 0 0 9 8 】

[データビット数 n と1ページのメモリブロック数の関係]

本発明の第2の実施の形態に係るデータ記憶システムでは、一連のシーケンスで読み出されるデータビット数 n が、 m を自然数として、 $(2^{m-1}-m)$ より大きく (2^m-m-1) 以下である場合、少なくとも (2^m-1) 個以上のメモリセルブロック49を図22の紙面左右方向、つまりデータ選択線の延びる方向に並列に用意し、1ページとして用いる。また、図19の構成では、センスアンプの数も少なくとも (2^m-1) 個以上のセンスアンプ/データラッチ46を用意することが望ましい。このようにメモリセルを準備することにより、例えば、ハミング符号を用いてメモリセルアレイ1の一連のシーケンスで読み出された1ページのビット誤りを1ビット検出し、その位置を求めることができる。更に、一般には、 t を自然数として一連のシーケンスで読み出されるデータビット数が、 $[2^{m-1}-t \times (m-1)-1]$ より大きく $(2^m-t \times m-1)$ 以下である場合、少なくとも (2^m-1) 個以上のメモリセル49を図22の紙面左右方向、つまりデータ選択線の延びる方向に並列に用意し、1ページとして用いる。尚、1ページに属するメモリセルについては、例えば、1つのデータ選択線WLに共通に接続された複数のメモリセルとすることが、1度のデータ選択によって、複数のメモリセルを同時選択することができ望ましい。このようにメモリセルを準備することにより、例えば、ボウズ-チョウドゥリ-ホッケンゲム(BCH)符号を用いてメモリセルアレイ1の一連のシーケンスで読み出された t ビットのビット誤りを検出し、その位置を求めることができる。上記事情は本発明の他の実施の形態に係るデータ記憶システムにおいても適用されることはあきらかである。

【 0 0 9 9 】

[リフレッシュ動作]

図20及び図21のフローチャートを用いてリフレッシュ動作のシーケンスを詳しく説明する。図20は、リードディスタブの生じているメモリセルブロックのデータをテンポラリメモリ102へコピーするシーケンスである。

【 0 1 0 0 】

(a) まず、手順SE16において、テンポラリメモリ102をブロック消去する。

【 0 1 0 1 】

(b) ついで、手順SE17において、ページカウンタ86を初期値、例えば0に設定し、最初のページ、つまりWL0が選択されるようにする。ここでページカウンタ86の値がiの場合、例えば、WL_iが選択されるものとする。

【 0 1 0 2 】

(c) 更に、手順SE18において、センスアンプ／データラッチ46にリードディスターブの生じているメモリセルブロックの、iページのデータを読み出す。ここで、該メモリセルブロックはブロックアドレスラッチ87に貯えられているので、これをアドレスバッファ47に転送することにより、該メモリセルブロックを選択することができる。更に、センスアンプ／データラッチ46は、通常動作で1ページを読み出す必要があるため、当然に1ページ分のデータを蓄積できるメモリを有しており、情報を貯えることができる。

【 0 1 0 3 】

(d) ついで、手順SE19において、センスアンプ／データラッチ46に貯えられた情報1ページ分を、テンポラリメモリ102の該1ページへコピーする。

【 0 1 0 4 】

(e) 更に、手順SE20において、ページカウンタ86のカウント値を1増加させる。

【 0 1 0 5 】

(f) この後、手順SE21において、iが1メモリセルブロックに含まれるページ数である場合には、終了し、その他の場合には、SE18の動作を繰り返す。

【 0 1 0 6 】

この一連の動作によって、リードディスターブの生じているメモリセルブロックの全データを、テンポラリメモリ102にコピーすることができる。

【 0 1 0 7 】

図21のフローチャートは、テンポラリメモリ102からリードディスターブの生じていたメモリセルブロックにデータを書き戻すシーケンスである。

【 0 1 0 8 】

(g) まず、手順SE17において、ページカウンタ86を初期値、例えば0に設定し、最初のページ、つまりWL0が選択されるようにする。ここでページカウンタ86の

値が*i*の場合、例えば、*WLi*が選択されるものとする。

【 0 1 0 9 】

(h) 更に、手順SE22において、センスアンプ／データラッチ46にテンポラリメモリ102の、*i*ページのデータを読み出す。ここで、センスアンプ／データラッチ46は、通常動作で1ページを読み出す必要があるため、当然に1ページ分のデータを蓄積できるメモリを有しており、情報を貯えることができる。

【 0 1 1 0 】

(i) ついで、手順SE23において、センスアンプ／データラッチ46に貯えられた情報1ページ分を、リードディスターブの生じていたメモリセルブロックの該1ページへコピーする。

【 0 1 1 1 】

(j) 更に、手順SE20において、ページカウンタ86のカウンタ値を1増加させる。

【 0 1 1 2 】

(k) この後、手順SE21において、*i*が1メモリセルブロックに含まれるページ数である場合には、終了し、その他の場合には、SE18の動作を繰り返す。

【 0 1 1 3 】

この一連の動作によって、テンポラリメモリ102の全データをリードディスターブの生じていたメモリセルブロックに書き戻すことができる。

【 0 1 1 4 】

これらの図20及び図21のシーケンスにおいて、センスアンプ／データラッチ46は、従来と同様に1ページ分の情報を貯えるだけで、本コピーを実現でき、外部入出力I/O線94より外部にデータを読み出す必要はなく、また外部にテンポラリメモリを設ける必要もない。よって、外部入出力I/O線94を通じることによるデータ転送にかかる時間がなく、高速にシーケンスを実行でき、外部I/O回路を駆動する電力を削減することができる。また、例えば、電源投入時や遮断時の外部メモリアクセスがなく電源が投入されている時にこのリフレッシュ動作を行うようにすれば、外部からの入力無しに自動的にリフレッシュ動作を行うことができる。よって、このようにすれば、通常使用時の読み出し、書き込み、消去のアクセス時間などを従来と同じに保ったままで、セルフリフレッシュが可能となる。

【 0 1 1 5 】

本発明データ記憶システムを用いれば、データ記憶用メモリセルと別にデータ破壊検出用メモリセルを形成することが不要で、リードディスタートによる書き込みが異常に早いビットが存在しても、正しくデータ破壊セルを直接検出できる。更に、リードディスタートによって誤り訂正必要な情報ビットが発生した時点より後に必ずリードディスタート検知がなされる。よって、裾ビットの統計的挙動がチップ間又は経時変化によって変化しても正しくリードディスタート検知を行うことができる。また、読み出しによるデータ破壊に対してデータ破壊セルを直接検出し、かつそのデータを完全に復元可能とすることにより、データリフレッシュの間隔を長くすることができる。

【 0 1 1 6 】

(第 3 の実施の形態)

本発明の第3の実施の形態に係るデータ記憶システムの動作方法は、図23に示すように、フローチャート図において、第1の実施の形態に係るデータ記憶システムの動作方法とほぼ同一であるが、手順SE6のシーケンスが異なっている。尚、第1の実施の形態と同一の部分や同一の電圧関係には、同一符号をつけて詳しい説明は省略する。

【 0 1 1 7 】

[データ記憶システムの動作方法]

第3の実施の形態に係るデータ記憶システムの動作方法では、第1のメモリセルブロックの内容を誤り訂正して第2のメモリセルブロックに書き込み、更に、第2のメモリセルブロックの内容を第1のメモリセルブロックに書き込むことによって、第1のメモリセルの内容を第1のメモリセルの場所にリフレッシュすることを特徴としている。具体的な手順SE6に相当するフローは、図23に示すように、手順SE7から手順SE12までの第1のメモリセルブロックの内容を誤り訂正して第2のメモリセルブロックに書きこむ部分は、第1の実施の形態において説明したので省略する。

【 0 1 1 8 】

(n) 手順SE12の結果、N0であるならば、手順SE14において、第1のメモリセルブ

ロックを消去する。

【 0 1 1 9 】

(o) 次に、手順SE15において、ページカウンタ10を最初のページを示すようにリセットする。

【 0 1 2 0 】

(p) 次に、手順SE24において、第2のメモリセルブロックについて、ページカウンタ10の示すページを第1のメモリセルブロックの該当するページにコピーする。手順SE9及び手順SE10シーケンスで既に誤り訂正されているので、この手順SE24のシーケンスでは、誤り訂正する必要はなく、メモリマクロ7内のコピーモードを用いて直接コピーすればよい。この書き込みの情報ビットに加え、データ書き込み終了フラグを書き込み終了後に第1のメモリセルブロックの情報ビット以外の他のビットに書き込んでもよく、このようにすることにより、書き込み時の電源の遮断による書き込み失敗を検出し回復することができる。

【 0 1 2 1 】

(q) 更に、手順SE25において、ページカウンタ10を例えば1増やす。

【 0 1 2 2 】

(r) この後、手順SE26において、ページカウンタ10がすべてのページのインデックスを参照したかどうか判定する。これは、ページカウンタ10を1ずつ増やす手順SE25のシーケンスを用いている場合には、第1の1メモリセルブロックに含まれるページ数と比較してインデックスがそれ以下かどうかを判定することと等価である。手順SE26のシーケンスでページ数が1メモリセルブロックに含まれるページ数以下の場合には、次ページの内容を第2のメモリセルブロックから第1のメモリセルブロックにコピーする手順SE24のシーケンスに移行する。また、1メモリセルブロックに含まれるページ数よりも大きい場合は、第2のメモリセルブロックの全ページの情報ビットの内容を、第1のメモリセルブロックにコピーしたことになる。

【 0 1 2 3 】

第3の実施の形態の特徴は第1の実施の形態において述べた(1)乃至(8)の特徴に加えて、更に以下の特徴がある。

【 0 1 2 4 】

(9) 第3の実施の形態では、第1のメモリセルブロックのデータをエラー訂正して、第1のメモリセルブロックに書き戻している。よって、ファイルアロケーションテーブルを用いたデータ記憶システムにおいて、第1のメモリセルブロックに情報データを記録した場合に、そのファイルアロケーションテーブルを変更する必要がなく、ファイル構造に依らずデータのリフレッシュを行うことができる。

【 0 1 2 5 】

(10) 電源投入後にイニシャルプログラムローダーやファイルアロケーションテーブルなどあらかじめ決まったブロックを読み出す用途でも、決まったメモリセルブロックとして、第3の実施の形態にかかるデータ記憶システムの第1のブロックアドレスを割り当てることができる。

【 0 1 2 6 】

更に、例えば、電源投入時に、図15に示すリードディスタ urb による誤りビット検知を、データ読み出しと共に行うことにより、読み出しデータのレイテンシーを増大させることなく、誤りビット検知を行うことが可能となる。尚、第1の実施の形態において示したと同様に、手順SE3のシーケンスにおいてデータ誤りを検出したことと、ページの位置情報をテンポラリメモリ101又は102に記憶しておけば、手順SE6は必ずしもリードディスタ urb による誤りビットを検知した直後に行う必要はない。

【 0 1 2 7 】

手順SE6は、手順SE3の直後に行われる必要はなく、例えば手順SE3後にデータ破壊を示すフラグや当該ページの位置情報をテンポラリメモリ101又は102に記憶しておき、手順SE3と手順SE6との間で通常の情報ビットの読み出し、書き込み、及び消去を行った後、本発明の第3の実施の形態に係るデータ記憶システムに対するデータ入出力要求頻度が低いときに、テンポラリメモリ101又は102の内容を参照して、リードディスタ urb によるデータ破壊が生じている場合に、手順SE6を行うようにしてもよい。また、例えば、手順SE3のシーケンス後に、データ破壊を示すフラグをテンポラリメモリ101又は102に記憶しておき、第1のメモリセルブロック内のページを、例えば、すべて読み出し、外部入出力I/O線94にデー

タ出力することにより、手順SE6のシーケンスよりも先に第1のメモリセルブロック内の必要なページを読み出す処理を行ってもよい。

【 0 1 2 8 】

このようにすることにより、本発明の第3の実施の形態に係るデータ記憶システムにおいて、情報データ読み出し要求が実行された時に、手順SE6のシーケンスに起因するデータ遅延に関係なく、第1のメモリセルブロック内の必要なページを読み出し出力し、又、データ入出力要求頻度が低いときに、情報ビットのリフレッシュに相当する手順SE6を行うことができる。ここで、手順SE1から手順SE5までは、メモリセルアレイ1への情報データの書き込み及び消去動作を伴わず、読み出し操作だけで行えるので高速動作可能である。一方、手順SE6は、メモリセルアレイ1への情報データの書き込み及び消去動作を伴うため、時間がかかる。よって、データ入出力要求頻度が低いときに、情報ビットのリフレッシュに相当する手順SE6を行うことにより、外部から見た読み出しのレイテンシー (Latency) を向上させることができる。

【 0 1 2 9 】

例えば、あらかじめ決まったデータ領域を、例えば、DRAMやSRAMに読み出した後では、本発明の第3の実施の形態にかかるデータ記憶システムの外部からのデータ入出力アクセスが低減するので、このときにテンポラリメモリ101又は102を参照してリードディスタ urbによるデータ破壊が生じている場合に手順SE6のリフレッシュ動作を行えばよい。(第4の実施の形態)

本発明の第4の実施の形態に係るデータ記憶システムは、図24及び図25に示すように、本発明の第1及び第2の実施の形態に係るデータ記憶システムにおいて、NAND型メモリセルブロックを、MONOS型ゲート構造を用いたNANDセルアレイブロックに変更した構造を有する。素子断面構造は、図24及び図25に示すように、図8及び図9に示す構造に対応しており、図7に示すパターン平面図において、それぞれII-II方向及びI-I方向断面図に相当する。II-II方向断面図は、メモリセル部断面図に相当する。尚、平面図は、図7と同一なので、省略する。

【 0 1 3 0 】

[MONOS構造]

図24及び図25において、例えば、SiNやSiON又は Al_2O_3 を電荷蓄積層26としたMOSトランジスタからなる不揮発性メモリセルトランジスタM0～M15が直列に接続され、一端が選択トランジスタS1を介してBLと記してあるデータ転送線に接続されている。また他の一端は選択トランジスタS2を介してSLと記してある共通ソース線に接続されている。また、それぞれのトランジスタは、同一のウェル上に形成されている。図24及び図25において、例えばボロン不純物濃度が 10^{14} cm^{-3} から 10^{19} cm^{-3} の間のp型ウェル領域23に、例えば、1 nmから10 nmの厚さからなるシリコン酸化膜又はオキシナイトライド膜からなるトンネルゲート絶縁膜を介して、例えばSiN、SiON又は Al_2O_3 からなる電荷蓄積層26が3 nmから50 nmの厚さで形成されている。この上に、例えば、厚さ2 nmから10 nmの間のシリコン酸化膜や、 Al_2O_3 、HfSiO、ZrSiO、HfSiON、又はZrSiONからなるブロック絶縁膜50を介して、例えばポリシリコンやWSi（タングステンシリサイド）とポリシリコンとのスタック構造、又は、NiSi、MOSi、TiSi、CoSiとポリシリコンのスタック構造からなる制御ゲート電極27が10 nmから500 nmの厚さで形成されている。この制御ゲート電極27は、図7に示すように、隣接するメモリセルブロック間で接続されるように紙面左右方向にブロック境界まで形成されており、データ選択線WL0～WL15及び、選択ゲート制御線SSL、GSLを形成している。尚、p型ウェル領域23は、n型シリコン領域22によって、p型半導体基板21と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。

【 0 1 3 1 】

本発明の第4の実施の形態に係るデータ記憶システムのゲート構造では、p型ウェル領域23の側壁が素子分離絶縁膜24で覆われているので、p型ウェル領域23の側壁が電荷蓄積層26を形成する前のエッチングで露出することがなく、電荷蓄積層26がp型ウェル領域23よりも下に来ることを防ぐことができる。よって、p型ウェル領域23と素子分離絶縁膜24との境界での、ゲート電界集中やしきい値電圧の低下した寄生トランジスタが生じにくい。更に、電界集中に起因する書込みしきい値の低下現象、いわゆる、サイドウォーク現象が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【 0 1 3 2 】

これらゲート電極の両側には、例えば5 nmから200 nmの厚さのシリコン窒化膜又はシリコン酸化膜からなる側壁絶縁膜43を挟んでソース又はドレイン電極となるn型拡散層28が形成されている。これらn型拡散層28と電荷蓄積層26、制御ゲート電極27により、M-ONO-S型不揮発性EEPROMセルが形成されており、電荷蓄積層26のゲート長としては、 $0.5\text{ }\mu\text{m}$ 以下 $0.01\text{ }\mu\text{m}$ 以上とする。これらソース・ドレインn型拡散層28としては、例えばリンや砒素、アンチモンを表面濃度が 10^{17} cm^{-3} から 10^{21} cm^{-3} となるように深さ10 nmから500 nmの間で形成されている。更に、これらソース・ドレインn型拡散層28はメモリセル同士で直列に接続され、NAND接続が実現されている。また、図24及び図25において、 27_{SSL} 、更に 27_{GSL} は、それぞれブロック選択線SSL及びGSLに接続された制御ゲート電極であり、前記MOS型EEPROMの制御ゲート電極27と同層で形成されている。これら制御ゲート電極27、 27_{SSL} 、更に 27_{GSL} は、例えば3 nmから15 nmの厚さのシリコン酸化膜又はオキシナイトライド膜からなるトンネルゲート絶縁膜 25_{SSL} 及び 25_{GSL} を介してp型ウェル領域23と対向し、MOSトランジスタを形成している。ここで、制御ゲート電極 27_{SSL} 及び 27_{GSL} のゲート長は、メモリセルのゲート電極のゲート長よりも長く、例えば、 $1\text{ }\mu\text{m}$ 以下 $0.02\text{ }\mu\text{m}$ 以上と形成することにより、ブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【 0 1 3 3 】

また、制御ゲート電極 27_{SSL} の片側に形成されたソース又はドレイン電極となるn型拡散層 28_{d} は、例えば、タングステンやタングステンシリサイド、チタン、チタンナイトライド、又はアルミニウムからなるデータ転送線36(BL)とコンタクト 31_{d} を介して接続されている。ここで、データ転送線36(BL)は、隣接するメモリセルブロックで接続されるように、図7の紙面上下方向にブロック境界まで形成されている。一方、制御ゲート電極 27_{GSL} の片側に形成されたソース又はドレイン電極となるn型拡散層 28_{s} は、コンタクト 31_{s} を介してソース線SLと接続されている。このソース線SLは、隣接するメモリセルブロックで接続されるように、図7の紙面左右方向にブロック境界まで形成されている。勿論、n型拡散層 28_{s} を

紙面左右方向にブロック境界まで形成することにより、ソース線としてもよい。これらBLコンタクト及びSLコンタクトとしては、例えばn型又はp型にドーブされたポリシリコンやタングステン、及びタングステンシリサイド、Al、TiN、Tiなどが充填されて、導電体領域となっている。更に、これらソース線SL及びデータ転送線BLと、前記トランジスタとの間は、例えばSiO₂やSiNらなる素子分離絶縁膜68によって充填されている。更に、このデータ転送線BL上部には、例えばSiO₂、SiN、又は、ポリイミドらなる絶縁膜保護層37や、図には示していないが、例えば、W、AlやCuからなる上部配線が形成されている。

【 0 1 3 4 】

本発明の第4の実施の形態に係るデータ記憶システムでは、第1及び2の実施の形態の特徴に加え、MONOS型セルを用いているため、第1及び2の実施の形態において適用される浮遊ゲート型EEPROMセルよりも書き込み電圧及び消去電圧を低電圧化することができる。又、素子分離間隔を狭めゲート絶縁膜厚を薄膜化しても耐圧を維持することができる。よって、高電圧が印加される回路の面積を小さくでき、よりチップ面積を縮小することができる。更に、第1及び第2の実施の形態と比較して、電荷蓄積層26の厚さを20 nm以下に小さくでき、よりゲート形成時のアスペクトを低減化することができる。更に、ゲート電極の加工形状を向上させ、素子分離絶縁膜68のゲート間の埋め込みも向上させることができ、より耐圧を向上させることができる。又、浮遊ゲート電極を形成するためのプロセスやスリット作成プロセスが不要であり、よりプロセス工程を短くすることができる。又、MONOS型EEPROMセルを用いているため、電荷蓄積層26が絶縁体で、1つ1つの電荷トラップに電荷が捕獲されているので、放射線に対して電荷が抜けにくく強い耐性を持たせることができる。更に、電荷蓄積層26の側壁絶縁膜43が薄膜化しても、電荷蓄積層26に捕獲された電荷がすべて抜けてしまうことなく良好な保持特性を維持できる。更に、電荷蓄積層26をpウェル領域23と合わせずれなく形成することができることから、電荷蓄積層26とp型ウェル領域23との間の容量をより均一に形成することができる。これにより、メモリセルの容量ばらつきやメモリセル間の容量ばらつきを低減することができる。

【 0 1 3 5 】

(第5の実施の形態)

本発明の第5の実施の形態にかかるデータ記憶システムにおいて、メモリセルアレイ1とセンスアンプ／データラッチ46のレイアウトは、その一部を抽出して模式的に示すと、図26及び図27に示すように、メモリセルアレイ1と、センスアンプa, ..., kを含むセンスアンプ／データラッチ46と、センスアンプa, ..., kとデータ入出力バッファ45との間に接続され、カラムデコーダ48によって選択されるMOSトランジスタQaa, Qab, ..., Qka, Qkbとから構成される。本発明の第5の実施の形態の構造は、第1乃至第3の実施の形態において、NAND型のメモリセルアレイブロック49をMONOS構造で形成された仮想接地構造のセルアレイブロック49に変更した構成を有するものである。尚、図5に示した第1の実施の形態及び図22に示した第2の実施の形態と同一の部分には、同一符号をつけて詳しい説明は省略する。

また、第1乃至第4の実施の形態において、実施の形態の限定無く詳述している同一の効果については、説明は省略する。メモリセルアレイ1は、図26及び図27示すように、不揮発性メモリセルを並列接続したメモリセルブロック49, 49'を配列して構成される。このメモリセルアレイ1のデータ転送線BLのデータをセンスし、或いは書き込みデータを保持するためにセンスアンプ／データラッチ46がデータ転送線選択トランジスタQ1a, Q2a...Q1k, Q2kを介して設けられている。このセンスアンプ／データラッチ46は、例えばフリップフロップ回路を主体として構成される。更に、センスアンプ／データラッチ46は、データ入出力バッファ45に接続されている。これらの接続は、アドレスバッファ47からアドレス信号を受けるカラムデコーダ48の出力によって制御され、データ入出力バッファ45に与えられたデータをメモリセルアレイ1に書き込み、及びデータを第3の内部I/O線90へ読み出し可能となっている。メモリセルアレイ1に対して、メモリセルの選択を行うため、具体的にはデータ制御線WL1~WL3、及びデータ転送線選択ゲート線sel1, sel2の制御をするために、ロウデコーダ3が設けられている。

【 0 1 3 6 】

本発明の第5の実施の形態に係るデータ記憶システムにおいて、特に図26に示す構成においては、図1に示すように、メモリセルアレイ1を含むメモリマクロ7と、誤りビット検出回路5及び誤りビット判定回路6を含むECC回路部100と、ECC回

路部100に接続されたテンポラリメモリ101とから構成される。誤りビット検出回路5と誤りビット判定回路6との間には第1の内部I/O線92が配線され、メモリマクロ7とECC回路部100との間には第2の内部I/O線91が配線され、誤りビット判定回路6とテンポラリメモリ101との間には外部I/O線94が配線されている。更に、メモリマクロ7の詳細は図2に、誤りビット判定回路6の詳細は図3に示す通りである。

【0137】

本発明の第5の実施の形態に係るデータ記憶システムにおいて、特に図27に示す構成においては、図18に示すように、メモリセルアレイ1及びメモリセルアレイ1と同一チップ上に隣接して形成されたテンポラリメモリ102を含むメモリマクロ7と、誤りビット検出回路5及び誤りビット判定回路6を含むECC回路部100とから構成される。誤りビット検出回路5と誤りビット判定回路6との間には第1の内部I/O線92が配線され、メモリマクロ7とECC回路部100との間には第2の内部I/O線91が配線されている。更に、メモリマクロ7の詳細は図19に示す通りであり、誤りビット判定回路6の詳細は図3に示す通りである。

【0138】

又、本発明の第5の実施の形態において、特に、図27に示す構成においては、図19に示すように、メモリマクロ7内において、テンポラリメモリ102をメモリセルアレイ1に隣接して同一チップ上に実質的に同一回路にて形成している。ここで、上記図15及び図16に示したリフレッシュ動作については、例えば、詳しくは図20及び図21で示すシーケンスを、図19で示す回路構成において実行すれば、メモリマクロ7の外部に新たにテンポラリメモリを用いなくてもリードディスタブの生じているブロックのデータをリフレッシュすることができる。ここで、図19は、基本的には、図2と同じであるが、テンポラリメモリ102と、ページカウンタ86とが追加されている。ここで、ページカウンタ86とは、1ブロック内のページの位置を数えるための装置であり、例えば、フリップフロップを用いたシフトレジスタと2進カウンタから形成されており、テンポラリメモリ102内とリードディスタブの生じているブロックの1ページ内において、データ制御線ドライバ205を通じていずれか1つのデータ選択線をカウンタの値にしたがって選択するよ

うに形成されている。また、このページカウンタ86の入力として、制御回路40が接続されており、ページカウンタ86の初期化とカウンタ値の増加(インクリメント)を行っている。

【 0 1 3 9 】

更に、図19におけるテンポラリメモリ102は、例えば、図27のようにメモリセルアレイを形成しているメモリブロックと同一の1ブロックを追加したものを、同じデータ転送線の延長に形成すればよい。尚、図27は、図5及び図22に対応する回路図である。図27では、同一データ選択線に接続された複数のメモリセルがテンポラリメモリ102として用いられている。このような構成を用いることにより、テンポラリメモリ102のデータビット数をデータを記憶する同一データ選択線に接続されたメモリセルの数と揃えることができる。更に、テンポラリメモリ102に接続されるデータ制御線ドライバ205もメモリセルアレイ1に接続されるデータ制御線ドライバ2と同一の回路でよい。このようにすることにより、テンポラリメモリ102の面積を、メモリセルアレイ1と同様に小さくデザインすることができる。

【 0 1 4 0 】

[データビット数 n と1ページのメモリブロック数の関係]

また、本発明の第5の実施の形態に係るデータ記憶システムでは、一連のシーケンスで読み出されるデータビット数 n が、 m を自然数として、 $(2^{m-1}-m)$ より大きく (2^m-m-1) 以下である場合、少なくとも (2^m-1) 個以上のメモリセルブロック49を図26又は図27の紙面左右方向、つまりデータ選択線WLの延びる方向に並列に用意し、1ページとして用いる。また、図2又は図19の構成では、センスアンプの数も少なくとも (2^m-1) 個以上のセンスアンプ/データラッチ46を用意することが望ましい。このようにメモリセルを準備することにより、例えば、ハミング符号を用いてメモリセルアレイ1の一連のシーケンスで読み出された1ページのビット誤りを1ビット検出し、その位置を求めることができる。更に、一般には、 t を自然数として一連のシーケンスで読み出されるデータビット数が、 $[2^{m-1}-t \times (m-1)-1]$ より大きく $(2^m-t \times m-1)$ 以下である場合、少なくとも (2^m-1) 個以上のメモリセル49を図26又は図27の紙面左右方向、つまりデータ選択線WLの

延びる方向に並列に用意し、1ページとして用いる。尚、1ページに属するメモリセルについては、例えば、1つのデータ選択線WLに共通に接続された複数のメモリセルとすることが、1度のデータ選択によって、複数のメモリセルを同時選択することができ望ましい。このようにメモリセルを準備することにより、例えば、ボウズ-チョウドゥリ-ホッケンゲム(BCH)符号を用いてメモリセルアレイ1の一連のシーケンスで読み出されたtビットのビット誤りを検出し、その位置を求めることができる。上記事情は本発明の他の実施の形態に係るデータ記憶システムにおいても適用されることはあきらかである。

【 0 1 4 1 】

[MONOS構造]

本発明の第5の実施の形態に係るデータ記憶システムにおいて、仮想接地アレイブロックのそれぞれロウ方向、及びカラム方向のメモリセル部断面図は、図28及び図29に示すように、それぞれ2つのメモリセルが接続された構造を示している。図28はMONOSメモリの断面図で、制御ゲート電極27で制御電極51が接続された2つのメモリセルについて示している。また、図29は、制御電極51を通る図28と直交した断面での断面構造を示している。

【 0 1 4 2 】

本発明の第5の実施の形態に係るデータ記憶システムにおいては、素子構造は基本的にはMONOS構造を有する点で、第4の実施の形態と同様であるが、制御電極51に接続されるデータ選択線WL1, WL2, WL3(制御ゲート電極27や金属裏打ち層27'に相当)の形成方向とチャンネルの形成方向が一致している点が、第4の実施の形態と異なっている。更に、本発明の第5の実施の形態に係るデータ記憶システムにおいては、メモリセルトランジスタのそれぞれのソース及びドレイン電極近傍に電荷を蓄積させ、1セル当り、少なくとも2ビットの情報を記憶するように形成されている。このような構造で、ソース電極及びドレイン電極の電圧の方向により、例えば、米国特許第6,201,282号明細書に開示された公知な方法を用いてそれぞれのビットを読み出すことができる。この場合、情報を読み出さない側のビットと情報を読み出す側のビットの電流端子は直列接続されていることと等価なので、情報を読み出さない側のビットはNAND型メモリセルと同様なリードデイス

ターブストレスが印加される。よって、情報を読み出さない側のビットは、読み出しを繰り返すことにより消去状態から書き込み状態に変化する。

【 0 1 4 3 】

図28及び図29において、例えば、ボロン又はインジウム不純物濃度が 10^{14} cm^{-3} から 10^{19} cm^{-3} の間のp型ウェル領域23に、例えば、0.5 nmから10 nmの厚さを有するシリコン酸化膜又はオキシナイトライド膜からなる第1のトンネルゲート絶縁膜25が形成されている。更に、第1のトンネルゲート絶縁膜25の上部には、例えばシリコン窒化膜、SiON又は Al_2O_3 からなる電荷蓄積層26が3 nmから50 nmの厚さで形成されている。この上に、例えば、厚さ5 nm以上で、30 nm以下の厚さでシリコン酸化膜又はオキシナイトライド膜、 Al_2O_3 、ZrSiO₄、HfSiO₄、ZrSiON又はHfSiONからなるブロック絶縁膜（第2の絶縁膜）50を介して、例えば、ボロン又はリン、砒素が $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{21} \text{ cm}^{-3}$ の範囲で不純物添加された制御電極51及び27が10 nmから500 nmの厚さで形成されている。ここで、制御電極51及び制御ゲート電極27を形成するポリシリコン層のボロン、リン、又は砒素の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上とすることが望ましい。制御電極51の空乏化によって、ONO積層膜にかかる電界が小さくなり、消去時間又は書き込み時間が増大することを防ぐことができるからである。

【 0 1 4 4 】

更に、例えば、この制御ゲート電極27を形成するポリシリコン上に、WSi（タングステンシリサイド）又は、NiSi, MoSi, TiSi, CoSi, W, Al, AlCuからなる制御ゲート電極27の金属裏打ち層27' が10 nmから500 nmの厚さで形成されていても良い。これらポリシリコン層が制御電極51及び制御ゲート電極27を形成し、金属裏打ち層27' が制御ゲート電極27を低抵抗化している。

【 0 1 4 5 】

また、この金属裏打ち層27' の上には、例えば、シリコン窒化膜やシリコン酸化膜からなる絶縁膜60が5 nmから500 nmの厚さで形成されていてもよい。これは、制御電極51の加工時のマスクとなる絶縁膜として機能する。更に、これら制御電極51の両側には、シリコン酸化膜又はシリコン酸窒化膜からなる側壁絶縁膜19が形成されている。この側壁絶縁膜19の少なくとも制御電極51に接する側面は、

堆積膜で形成した絶縁膜よりも電荷トラップ密度を小さく、絶縁耐圧を高く、かつ制御電極51と側壁絶縁膜19との間の界面準位密度を低くするために、シリコンを含む制御電極51の酸化又は酸窒化によって形成されている。このように、ゲート側壁に堆積膜よりも品質の高い熱酸化膜を用いることが可能である。図28においては、ソース領域及びドレイン領域を形成するn型拡散層28上で電荷蓄積層26が一部取り除かれ、例えばシリコン酸化膜からなる素子分離絶縁膜68が形成されている例が挙げられているが、電荷蓄積層26が絶縁体で形成されているために、ソース領域及びドレイン領域を形成するn型拡散層28上で電荷蓄積層26を取り除く必要は必ずしもなく、連続的に形成されていても構わない。

【 0 1 4 6 】

図28に示したMONOS構造は、例えば次のような手順で形成することができる。

【 0 1 4 7 】

(a) 例えば、金属裏打ち層27'を形成せずに、シリコンを含む制御電極51を積層し、トンネルゲート絶縁膜25に達するまで紙面表裏方向が長手となるような線状にパターンニングし異方性エッチングを行い、制御電極51、ブロック絶縁膜50、電荷蓄積層26、トンネルゲート絶縁膜25を取り除く。

【 0 1 4 8 】

(b) この後、側壁絶縁膜19を制御電極51の酸化又は酸窒化により形成し、ソース領域及びドレイン領域となるn型拡散層28を、例えばリンや砒素、アンチモンを表面濃度が 10^{17} cm^{-3} から 10^{21} cm^{-3} となるように深さ10 nmから500 nmの間でイオン注入して形成する。

【 0 1 4 9 】

(c) この後、全面に素子分離絶縁膜68となるシリコン酸化膜、シリケートガラス、又は無機ガラスを10 nmから1000 nmの厚さの範囲で堆積する。

【 0 1 5 0 】

(d) その後、例えば化学的機械研磨(CMP)によって素子分離絶縁膜68を平坦化し、更に、制御電極51の上部表面を例えばフッ化アンモニウム溶液などのウェットエッチングによって露出させる。

【 0 1 5 1 】

(e) この後、制御ゲート電極27となる例えばポリシリコンやSiGe混晶からなる第2のゲート電極材を10 nmか300 nmの範囲で堆積し、更に、金属裏打ち層27'、更にマスク用の絶縁膜60を全面堆積する。ここで、第2のゲート電極材のボロン、リン、又は砒素の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上とすることが、制御ゲート電極27の空乏化によって、ONO積層膜にかかる電界が小さくなり、消去時間又は書き込み時間が増大するのを防ぐのに望ましい。

【 0 1 5 2 】

(f) ついで、メモリセルトランジスタにおいて、図28のパターンと直交する方向に線状にパターニングし、異方性エッチングを行い、マスク用の絶縁膜60、金属裏打ち層27'、制御ゲート電極27、及び制御電極51、ブロック絶縁膜50までエッチングを行う。

【 0 1 5 3 】

(g) この後、図29で示した2つの制御電極51で示されるメモリセルのチャネル間の漏れ電流を少なくするために、例えば、ボロンか BF_2 、インジウムを表面濃度が 10^{16} cm^{-3} から 10^{18} cm^{-3} となるように深さ10 nmから500 nmの間になるようにイオン注入して、p型層18を形成しても良い。(h) 更に、全面に、シリコン窒化膜かシリコン酸窒化膜、又はアルミナ膜からなる絶縁膜61を例えば、厚さ5 nmから200 nmの範囲で形成する。この絶縁膜61は、例えばCVD法やスパッタ法で形成された堆積絶縁膜である。また、メモリセルトランジスタに対して全面堆積されていることが、絶縁膜61より上方に形成された膜からのガス又はラジカル、イオンがメモリセルトランジスタに悪影響を及ぼすのを防ぐことができ望ましい。

【 0 1 5 4 】

(i) 更に、絶縁膜61の上方に、例えば、ボロン又はリンを $1 \times 10^{20} \text{ cm}^{-3}$ 以上含むBPSG、PSG、BSGといったシリケートガラスからなる層間絶縁膜62が10 nmから1000 nmの厚さの範囲で形成する。このシリケートガラスはアルカリイオンをゲッターリングする機能があり、メモリセルトランジスタ上方全面に形成されることがアルカリイオンによる汚染を防ぐためには望ましい。図28及び図29に示した素子構造例では、層間絶縁膜62は絶縁膜61に直接接して形成されているが、必ずしも接して形成される必要はなく、例えば配線層間の絶縁膜や配線層上の絶縁膜として

形成しても、前記ゲッターリングの効果はあるので構わない。

【0155】

(j) シリケートガラスは一般的に堆積直後の埋め込み性が悪いので、堆積後に、例えば750℃から1000℃の間で2分から120分の範囲でアニールすることにより粘性流動させ平坦化させる。このアニールの際にシリケートガラスに含まれる水分又はヒドロニウムイオンが遊離するが、絶縁膜61を形成することによって、この水分によりメモリセルトランジスタのゲート端が酸化されてしまい制御電極51端のブロック絶縁膜50が厚膜化し、形状が変化してしまうのを防ぐことができる。

【0156】

また、層間絶縁膜62としては、例えば、シクロペンタシラン又はポリシラザンから形成された無機ガラスを用いてもよい。この場合、シクロペンタシラン又はポリシラザンを無機ガラスに転換するためには酸化工程が必要であるが、この酸化剤がメモリセルトランジスタのゲートエッジ部分を酸化してしまうために制御電極51端のブロック絶縁膜50が厚膜化し形状が変化してしまう問題を、絶縁膜61を形成することによって防ぐことができる。尚、層間絶縁膜62としては、例えばテトラエトキシシラン (TEOS) やHDPによって形成したシリコン酸化膜や水素シルセスキオキサン (HSQ)、MSQなどの他の層間膜との積層構造を用いてもよい。

【0157】

(k) 更に、層間絶縁膜62の上方には、例えば、W、Al、AlCuやCuからなる上部配線38を形成する。図28及び図29において図示された例では、配線層として上部配線38は1層の例が示されているが、もちろん、多層配線構造を積層してもよい。

【0158】

(l) 更に、上部配線38の上には、例えば、TEOSやHDPによって形成したシリコン酸化膜やHSQという絶縁膜保護層37を介して、プラズマ化学気相成長法を用いて、シリコン窒化膜層37'を20 nmから1 μ mの範囲で全面堆積する。このシリコン窒化膜層37'は、チップ外部（上面）から拡散してくる水分をブロックする機能がある。

【0159】

[本発明の第5の実施の形態の特徴]

本発明の第5の実施の形態では、第1乃至第4の実施の形態の特徴に加え、以下の特徴ある。

【 0 1 6 0 】

(11) ソース領域及びドレイン領域となるn型拡散層28が形成される方向（図28では紙面表裏方向）と直交して制御ゲート電極27（図では紙面左右方向）が形成されており、隣接するメモリセルのソース電極及びドレイン電極を並列接続する構造、例えば、仮想接地アレイAND型を実現している。メモリセルブロックの直列抵抗を小さく一定とすることができ、多値化した場合のしきい値を安定させるのに向いている。また、素子分離絶縁膜68とn型拡散層28、及び電荷蓄積層26を自己整合的に形成することができるので、それらの層間での合わせずれの余裕を確保する必要がなく、より高密度なメモリセルが実現できる。これらメモリセルアレイ構造及び特徴については、例えば、当発明者らによる先行出願である特願2001-264754号に記載されているので、ここでは省略する。

【 0 1 6 1 】

(12) 第5の実施の形態に係るデータ記憶システムにおいては、第1乃至第3の実施の形態の特徴に加え、MONOS型セルを用いているため、第1乃至第3の実施の形態において適用した浮遊ゲート型EEPROMセルよりも書き込み電圧及び消去電圧を低電圧化することができる。このため、素子分離間隔を狭め、ゲート絶縁膜厚を薄く形成しても耐圧を維持することができる。よって、高電圧が印加される回路の面積を小さくでき、よりチップ面積を縮小することができる。更に、第1乃至第3の実施の形態と比較して、電荷蓄積層26の厚さを20 nm以下に小さくでき、よりゲート形成時のアスペクトを低減できる。このため、制御電極51の加工形状を向上させ、層間絶縁膜62のゲート間の埋め込みも向上させることができ、より耐圧を向上させることができる。また、浮遊ゲート電極を形成するためのプロセスやスリット作成プロセスが不要であり、よりプロセス工程を短くすることができる。また、電荷蓄積層26が絶縁体で、1つ1つの電荷トラップに電荷が捕獲されているので、放射線に対して電荷が抜けにくく強い耐性を持たせることができる。

【 0 1 6 2 】

本発明の第1乃至第5の実施の形態に係るデータ記憶システムにおいて、素子分

離膜や層間絶縁膜の絶縁膜形成方法自身は、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法、例えば酸素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いてもかまわない。また、電荷蓄積層26としては、 TiO_2 や Al_2O_3 、或いは、タンタル酸化膜、チタン酸ストロンチウムやチタン酸バリウム、チタン酸ジルコニウム鉛や、それら積層膜を用いてよい。本発明の第1乃至第5の実施の形態において、半導体基板としてp型半導体基板を想定したが、代わりにn型半導体基板を用いても良い。或いは又、S₀I基板のS₀Iシリコン層、又はSiGe混晶、SiGeC混晶など、シリコンを含む単結晶半導体基板を用いてもよい。

【 0 1 6 3 】

本発明の第4及び第5の実施の形態において、p型ウェル領域23上のn型MONOS-FETの形成について述べたが、n型ウェル領域上のp型 MONOS-FETの形成に置き換えてもよく、その場合、上述の実施の形態のソース・ドレイン電極及び半導体領域に対するn型をp型、p型をn型と読み替え、更に、ドーピング不純物種のAs、P、SbをIn、Bのいずれかと読み替えればよい。また、制御電極51はSi半導体、SiGe混晶、SiGeC混晶を用いることができ、多結晶であってもよいし、これらの積層構造にしてもよい。また、アモルファスSi、アモルファスSiGe混晶、又はアモルファスSiGeC混晶を用いることができ、これらの積層構造にしてもよい。但し、半導体であること、特に、Siを含んだ半導体であることが、良好な側壁絶縁膜19を制御電極51の酸化又は酸窒化によって形成することができ望ましい。更に電荷蓄積層26はソース・ドレイン間で分離形成されていてもよく、或いはドット状に形成されていても構わず、上述した本発明の第5の実施の形態の説明において記載した製造方法が適用できることは言うまでもない。又、上述した本発明の第5の実施の形態では、制御ゲート電極27上に堆積法によって形成した金属裏打ち層27'の断面を示したが、例えば、TiやCo, Ni, Mo, Pd, Ptといった金属と制御ゲート電極27とを反応させシリサイドを形成し金属裏打ち層27'として形成してもよい。

【 0 1 6 4 】

(第6の実施の形態)

また本発明の実施の形態においては、主として2値を記憶する半導体メモリセルを用いた例について説明したが、3値以上のデジタル値を複数のしきい値として記憶する半導体メモリセルトランジスタを用いてもよい。多値論理を用いる場合の方が、2値の場合の比べて、複数のしきい値間の間隔が狭く、リードディスターブによるビット破壊が問題となる。従って、本発明のデータ記憶システムを用いれば、より大きな効果を得ることができることは明らかである。ここで、1つのメモリセルに記憶するしきい値としては、 2^n 値となることが、情報データのデコードが簡単化されるため望ましい。

【 0 1 6 5 】

特に4値論理を用いる本発明のデータ記憶システムにおいては、メモリセルアレイ1の構造上、2値論理を用いる上記と同一のマスク構造にて構成することができる。従って、上述した本発明の第1乃至第5の実施の形態に係るデータ記憶システムと同様の構成にてメモリマクロ7、ECC回路部100、誤りビット検出回路5、誤りビット判定回路6を構成することができる。更に、メモリマクロ7の外部にテンポラリメモリ101を配置する構成、或いはメモリマクロ7の内部にテンポラリメモリ102を配置する構成のいずれにおいても、4値論理を用いる本発明のデータ記憶システムを構成することができることはもちろんである。

【 0 1 6 6 】

特に、第5の実施の形態と同様に、MONOS構造のAND型仮想接地アレイを採用することによって、ソース領域及びドレイン領域となるn型拡散層28が形成される方向（図28では紙面表裏方向）と直交して制御ゲート電極27（図では紙面左右方向）が形成され、隣接するメモリセルのソース電極及びドレイン電極を並列接続する構造においては、メモリセルブロックの直列抵抗を小さく一定とすることができ、多値化した場合のしきい値を安定させるのに向いている。また、素子分離絶縁膜68とn型拡散層28、及び電荷蓄積層26を自己整合的に形成することができるので、それらの層間での合わせずれの余裕を確保する必要がなく、より高密度なメモリセルが実現できる。

【 0 1 6 7 】

多値論理を用いる場合の方が、2値の場合の比べて、複数のしきい値間の間隔

が狭く、リードディスターブによるビット破壊が問題となるが、データ誤り符号訂正回路(ECC)を用いて、データ破壊が生じる前にリードディスターブを検出し、リフレッシュすることができる。データ誤り符号訂正回路(ECC)を分析することによりリードディスターブによる不良発生を未然に防止することができる。

【 0 1 6 8 】

(第7の実施の形態)

本発明の実施の形態に係るデータ記憶システムにおいて、メモリセルアレイ1の動作モードは大きく分けると3つ存在する。それぞれページモード、バイトモード及びROM領域を有するEEPROMモードと呼ぶ。

【 0 1 6 9 】

ページモードとは、図30に示すように、フラッシュメモリセルアレイ601内のワード線604上に存在するメモリセル列を一括してビット線603を介してセンスアンプ602内にメモリセル列605として読み出し、或いは一括してセンスアンプ602から書き込む動作を行なう。即ち、ページ単位で読み出し、書き込みを行っている。図30において、ワード線604とビット線603の交差部分にメモリセル607が配置されている。

【 0 1 7 0 】

これに対して、バイトモードとは、図31に示すように、フラッシュメモリセルアレイ601内のワード線604上に存在するメモリセル608をバイト単位でセンスアンプ602内にメモリセル613として読み出し、或いはバイト単位でセンスアンプ602内のメモリセル613からメモリセル608に対して書き込む動作を行なう。即ち、バイト単位で読み出し、書き込みを行っている点でページモードとは異なっている。

【 0 1 7 1 】

一方、ROM領域を有するEEPROMモードとは、図32に示すように、フラッシュメモリセルアレイ601内を、フラッシュメモリ609部分とROM領域を有するEEPROM 610部分に分割し、ROM領域を有するEEPROM 610部分をシステム的に切り替えて動作させて、フラッシュメモリセルアレイ601内の情報をページ単位或いはバイト単位で読み出し、書き換えるという動作を行なう。フラッシュメモリ609内の同一

のワード線上のメモリセル列611をページ単位でROM領域を有するEEPROM610側にメモリセル列612として読み出し、或いは書き込む例が、図32に示されている。

【 0 1 7 2 】

図33は、図32に示した、本発明の第7の実施の形態に係る不揮発性半導体記憶装置システムに使用するROM領域を有するEEPROM型フラッシュメモリの模式的回路構成図を示す。図33に図示された回路例は3トランジスタNANDセル構成である点に特徴を有する。即ち、1つのNANDメモリセルに対して2つのスイッチングトランジスタを配置して、3トランジスタ／セル方式のNAND型メモリセルアレイが構成されている。CGLはコントロールゲートライン、SSLはソース側スイッチングトランジスタ用のゲートライン、GSLはドレイン側スイッチングトランジスタ用のゲートラインを示す。行方向の1ブロック内においては、同一のCGLライン上のNAND型メモリセルが1ページを構成する。列方向にビット線BL0, BL1, BL2, BL3, …, BL1022, BL1023が配置されている。このような3トランジスタ／セル方式のNANDメモリセルを用いて、図32に示した、ROM領域を有するEEPROMモードのフラッシュメモリセルアレイ601を実現することができる。

【 0 1 7 3 】

上述した本発明の第1乃至第6の実施の形態に係るデータ記憶システムにおいても、それぞれページモード、バイトモード及びROM領域を有するEEPROMモードによって動作させることができることはもちろんである。また、上述した本発明の第1乃至第6の実施の形態に係るデータ記憶システムにおいて、NAND型フラッシュメモリ、仮想接地型(AND型)フラッシュメモリの例について説明したが、これら2つのタイプのフラッシュメモリのいずれにおいても、それぞれページモード、バイトモード及びROM領域を有するEEPROMモードの動作モードを実現することができることは明らかである。特に、後述するように、フラッシュメモリをメモリカード、或いはICカードに適用して使用する場合には、システムLSIを構成するため、ワンチップ化を推し進める意味でも、フラッシュメモリを系統的に動作可能な、ROM領域を有するEEPROMモードが重要である。

【 0 1 7 4 】

[システムLSI]

本発明の第1乃至第6の実施の形態に係る不揮発性半導体記憶装置においては、様々な適用例が可能である。これらの適用例のいくつかを図34乃至図47に示す。

【 0 1 7 5 】

(適用例1)

一例として、半導体メモリデバイス52を含むメモリカード54は、図34に示すように構成される。半導体メモリデバイス52には、本発明の第1乃至第6の実施の形態に係るデータ記憶システムに使用するメモリセルアレイ1が適用可能である。メモリカード54は、図34に示すように、外部デバイス（図示せず）から所定の信号を受信し、或いは外部デバイス（図示せず）へ所定の信号を出力するように動作可能である。

【 0 1 7 6 】

半導体メモリデバイス52を内蔵するメモリカード54に対しては、シグナルラインDAT、コマンドラインイネーブルシグナルラインCLE、アドレスラインイネーブルシグナルラインALE及びレディー／ビジーシグナルラインR/Bが接続されている。シグナルラインDATはデータ信号、アドレス信号或いはコマンド信号を転送する。コマンドラインイネーブルシグナルラインCLEは、コマンド信号がシグナルラインDAT上を転送されていることを示す信号を伝達する。アドレスラインイネーブルシグナルラインALEは、アドレス信号がシグナルラインDAT上を転送されていることを示す信号を伝達する。レディー／ビジーシグナルラインR/Bは、半導体メモリデバイス52がレディーか否かを示す信号を伝達する。

【 0 1 7 7 】

(適用例2)

メモリカード54の別の具体例は、図35に示すように、図34のメモリカードの例とは異なり、半導体メモリデバイス52に加えて、更に、半導体メモリデバイス52を制御し、かつ外部デバイスとの間で所定の信号を送受信するコントローラ76を具備している。コントローラ76は、インタフェースユニット（I/F）71、72と、マイクロプロセッサユニット（MPU）73と、バッファRAM74と、及びインタフェースユニット（I/F）72内に含まれるECC回路部100とを備える。テンポラリメモリ102については、本発明の第2の実施の形態に示したように半導体メモリデバイス52

に内蔵されていても良い。或いは又、本発明の第1の実施の形態に示したように外部にテンポラリメモリ101を接続しても良い。

【 0 1 7 8 】

インタフェースユニット (I/F) 71は、外部デバイスとの間で所定の信号を送受信し、インタフェースユニット (I/F) 72は、半導体メモリデバイス52との間で所定の信号を送受信する。マイクロプロセッサユニット (MPU) 73は、論理アドレスを物理アドレスに変換する。バッファRAM74は、データを一時的に記憶する。ECC回路部100は、エラー訂正コードを発生する。

【 0 1 7 9 】

コマンド信号ラインCMD、クロック信号ラインCLK、及びシグナルラインDATはメモリカード54に接続されている。制御信号ラインの本数、シグナルラインDATのビット幅及びコントローラ76の回路構成は適宜修正可能である。

【 0 1 8 0 】

(適用例3)

更に別のメモリカード54の構成例は、図36に示すように、インタフェースユニット (I/F) 71,72、マイクロプロセッサユニット (MPU) 73、バッファRAM74、インタフェースユニット (I/F) 72に含まれるECC回路部100及び半導体メモリデバイス領域501をすべてワンチップ化して、システムLSIチップ507として実現している。このようなシステムLSIチップ507がメモリカード54内に搭載されている。適用例2と同様に、テンポラリメモリ102については、本発明の第2の実施の形態に示したように半導体メモリデバイス領域501に内蔵されていても良い。或いは又、本発明の第1の実施の形態に示したように外部にテンポラリメモリ101を接続しても良い。

【 0 1 8 1 】

(適用例4)

更に別のメモリカード54の構成例は、図37に示すように、マイクロプロセッサユニット (MPU) 73内に半導体メモリデバイス領域501を形成してメモリ混載MPU 502を実現し、更にインタフェースユニット (I/F) 71,72、バッファRAM74及びインタフェースユニット (I/F) 72に含まれるECC回路部100をすべてワンチップ化

して、システムLSIチップ506として実現している。このようなシステムLSIチップ506がメモリカード54内に搭載されている。適用例2,3と同様に、テンポラリメモリ102については、本発明の第2の実施の形態に示したように半導体メモリデバイス領域501に内蔵されていても良い。或いは又、本発明の第1の実施の形態に示したように外部にテンポラリメモリ101を接続しても良い。

【 0 1 8 2 】

(適用例5)

更に別のメモリカード54の構成例は、図38に示すように、図34或いは図35において示された半導体メモリデバイス52に代わり、NAND型フラッシュメモリとバイト型EEPROMで構成されるROM領域を有するEEPROMモードのフラッシュメモリ503を利用している。

【 0 1 8 3 】

ROM領域を有するEEPROMモードのフラッシュメモリ503は、図36において示されたように、コントローラ76部分と同一チップに形成して、ワンチップ化されたシステムLSIチップ507を構成しても良いことはもちろんである。更にまた、図37において示されたように、マイクロプロセッサユニット (MPU) 73内に、ROM領域を有するEEPROMモードのフラッシュメモリ503からなる半導体メモリ領域を形成してメモリ混載MPU 502を実現し、更にインタフェースユニット (I/F) 71,72、バッファRAM74をすべてワンチップ化して、システムLSIチップ506として構成しても良いことはもちろんである。適用例2,3,4と同様に、テンポラリメモリ102については、本発明の第2の実施の形態に示したようにROM領域を有するEEPROMモードのフラッシュメモリ503からなる半導体メモリ領域に内蔵されていても良い。或いは又、本発明の第1の実施の形態に示したように外部にテンポラリメモリ101を接続しても良い。

【 0 1 8 4 】

(適用例6)

図35乃至図38において示されたメモリカード54の適用例としては、図39に示すように、メモリカードホルダ80を想定することができる。メモリカードホルダ80は、本発明の第1乃至第6の実施の形態に係るデータ記憶システムにおいて使用さ

れるメモリマクロ7を半導体メモリデバイス52として備えた、メモリカード54を収容することができる。

【0185】

メモリカードホルダ80は、電子デバイス（図示されていない）に接続され、メモリカード54と電子デバイスとのインタフェースとして動作可能である。メモリカードホルダ80は、図35乃至図38に開示されたメモリカード54内のコントローラ76、マイクロプロセッサユニット（MPU）73、バッファRAM 74、ECC回路部100、インタフェースユニット（I/F）71,72等の複数の機能と共に、様々な機能を実行可能である。

【0186】

（適用例7）

図40を参照して、更に別の適用例を説明する。メモリカード54若しくはメモリカードホルダ80を収容可能な接続装置190について、図40には開示されている。メモリカード54若しくはメモリカードホルダ80の内、いずれかに、半導体メモリデバイス52或いは半導体メモリデバイス領域501、メモリ混載MPU502、ROM領域を有するEEPROMモードのフラッシュメモリ503として、本発明の第1乃至第6の実施の形態に係るデータ記憶システムにおいて使用されるメモリマクロ7を備えている。メモリカード54或いはメモリカードホルダ80は接続装置190に装着され、しかも電氣的に接続される。接続装置190は接続ワイヤ192及びインタフェース回路193を介して、CPU194及びバス195を備えた回路ボード191に接続される。

【0187】

（適用例8）

図41を参照して、別の適用例を説明する。メモリカード54若しくはメモリカードホルダ80の内、いずれかに、半導体メモリデバイス52或いは半導体メモリデバイス領域501、メモリ混載MPU502、ROM領域を有するEEPROMモードのフラッシュメモリ503として、本発明の第1乃至第6の実施の形態に係るデータ記憶システムにおいて使用されるメモリマクロ7を備えている。メモリカード54或いはメモリカードホルダ80は接続装置190に対して装着され、電氣的に接続される。接続装置190は、接続ワイヤ192を介して、パーソナルコンピュータ（PC）350に接続されて

いる。

【 0 1 8 8 】

(適用例9)

図42を参照して、別の適用例を説明する。メモリカード54は、半導体メモリデバイス52或いは半導体メモリデバイス領域501、メモリ混載MPU502、ROM領域を有するEEPROMモードのフラッシュメモリ503として、本発明の第1乃至第6の実施の形態に係るデータ記憶システムにおいて使用されるメモリマクロ7を備えている。このようなメモリカード54をメモリカードホルダ80を内蔵するデジタルカメラ650に適用した例を図42は示している。

【 0 1 8 9 】

(適用例10)

本発明の第1乃至第6の実施の形態に係るデータ記憶システムの別の適用例は、図43及び図44に示すように、半導体メモリデバイス52とROM 410とRAM 420とCPU 430とから構成されたMPU 400と、プレーンターミナル600とを含むIC(interface circuit:IC)カード500を構成している。ICカード500はプレーンターミナル600を介して外部デバイスと接続可能である。またプレーンターミナル600はICカード500内において、MPU 400に結合される。CPU 430は演算部431と制御部432とを含む。制御部432は半導体メモリデバイス52、ROM 410及びRAM 420に結合されている。MPU 400はICカード500の一方の表面上にモールドされ、プレーンターミナル600はICカード500の他方の表面上において形成されることが望ましい。図44において、半導体メモリデバイス52に対して、ECC回路部100を接続することによって、本発明の第1乃至第6の実施の形態に係るデータ記憶システムを適用することができる。また、不揮発性半導体記憶装置の動作上、ページモード、バイトモード及びROM領域を有するEEPROMモードが可能である。

【 0 1 9 0 】

(適用例11)

更に別のICカード500の構成例は、図45に示すように、ROM410、RAM420、CPU430、半導体メモリデバイス領域501、ECC回路部100をすべてワンチップ化して、システムLSIチップ508として構成する。このようなシステムLSIチップ508がICカー

ド500内に内蔵されている。図45において、半導体メモリデバイス領域501に対して、ECC回路部100を接続することによって、本発明の第1乃至第6の実施の形態に係るデータ記憶システムを適用することができる。また、不揮発性半導体記憶装置の動作上、ページモード、バイトモード及びROM領域を有するEEPROMモードが可能である。

【 0 1 9 1 】

(適用例 1 2)

更に別のICカード500の構成例は、図46に示すように、ROM410を半導体メモリデバイス領域501内に内蔵して、全体として、ROM領域を有するEEPROMモードのフラッシュメモリ510を構成し、更に、このROM領域を有するEEPROMモードのフラッシュメモリ510と、RAM420、CPU430と、ECC回路部100をすべてワンチップ化して、システムLSIチップ509を構成している。このようなシステムLSIチップ509がICカード500内に内蔵されている。図46において、ROM領域を有するEEPROMモードのフラッシュメモリ510に対して、ECC回路部100を接続することによって、本発明の第1乃至第6の実施の形態に係るデータ記憶システムを適用することができる。

【 0 1 9 2 】

(適用例 1 3)

更に別のICカード500の構成例は、図47に示すように、図44に示した半導体メモリデバイス52において、ROM410を内蔵して、全体として、ROM領域を有するEEPROMモードのフラッシュメモリ510を構成している。このようなROM領域を有するEEPROMモードのフラッシュメモリ510は、MPU400内に内蔵されている点は、図44と同様である。図47において、ROM領域を有するEEPROMモードのフラッシュメモリ510に対して、ECC回路部100を接続することによって、本発明の第1乃至第6の実施の形態に係るデータ記憶システムを適用することができる。

【 0 1 9 3 】

(その他の実施の形態)

上記のように、本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう

。したがって、本発明の技術範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0194】

その他、本発明の要旨を逸脱しない範囲で、様々に変形して実施することができる。なお、上記各実施の形態は、それぞれ組み合わせて実施することができる。このように、本発明はここでは記載していない様々な実施例等を含むことは勿論である。

【0195】

【発明の効果】

本発明のデータ記憶システムのよれば、誤り訂正符号回路(ECC)を分析することによりリードディスタurbによる不良発生を未然に防止することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係るデータ記憶システムの模式的ブロック構成図。

【図2】 本発明の第1の実施の形態に係るデータ記憶システムの詳細なブロック構成図。

【図3】 本発明の第1の実施の形態に係るデータ記憶システムにおける、誤りビット判定回路のブロック構成図。

【図4】 本発明の第1の実施の形態に係るデータ記憶システムにおける、誤りビット判定アルゴリズムのフローチャート図。

【図5】 本発明の第1の実施の形態に係るデータ記憶システムにおけるセルアレイとセンスアンプ回路のレイアウトを示す回路構成図。

【図6】 本発明の第1の実施の形態に係るデータ記憶システムにおいて、メモリセルアレイを構成するメモリセルブロックのNAND回路構成図。

【図7】 図6に対応する平面レイアウトパターン構成図。

【図8】 本発明の第1の実施の形態に係るデータ記憶システムのメモリセルアレイ内のメモリセル構造であって、図7のII-II線における模式的断面構成図。

【図9】 本発明の第1の実施の形態に係るデータ記憶システムのメモリセルアレイ内のメモリセル構造であって、図7のI-I線における模式的断面構成図。

【図10】 本発明の第1の実施の形態に係るデータ記憶システムにおいて適用される巡回符号器の論理回路構成図。

【図11】 本発明の第1の実施の形態に係るデータ記憶システムにおいて適用される巡回復号器の一例としての論理回路構成図。

【図12】 本発明の第1の実施の形態に係るデータ記憶システムにおいて適用されるリードディスタブ検出回路の一例としての論理回路構成図。

【図13】 本発明の第1の実施の形態に係るデータ記憶システムにおいて適用されるテンポラリメモリの一例としての論理回路構成図。

【図14】 図13に示したテンポラリメモリの動作波形図。

【図15】 本発明の第1の実施の形態に係るデータ記憶システムにおいて、1ブロックのデータリフレッシュ動作を説明するフローチャート図。

【図16】 本発明の第1の実施の形態に係るデータ記憶システムにおいて、ステップSE6のデータリフレッシュ動作の詳細なフローチャート図。

【図17】 本発明の第1の実施の形態に係るデータ記憶システムにおいて、ブロックのリフレッシュを説明するフローチャート図。

【図18】 本発明の第2の実施の形態に係るデータ記憶システムの詳細なブロック構成図。

【図19】 本発明の第2の実施の形態に係るデータ記憶システムにおいて、データリフレッシュ動作のステップSE4のフローチャート説明図。

【図20】 本発明の第2の実施の形態に係るデータ記憶システムにおいて、データリフレッシュ動作のステップSE7フローチャート説明図。

【図21】 本発明の第2の実施の形態に係るデータ記憶システムにおいて、テンポラリメモリを含むセルアレイとセンスアンプ回路のレイアウトを示す回路構成図。

【図22】 本発明の第2の実施の形態に係るデータ記憶システムにおけるセルアレイとセンスアンプ回路のレイアウトを示す回路構成図であって、特にテンポラリメモリの形成例を説明する図。

【図23】 本発明の第3の実施の形態に係るデータ記憶システムの動作方法を説明するフローチャート図であって、1ブロックのSE6のデータリフレッシュ動作

を説明する図。

【図24】本発明の第4の実施の形態に係るデータ記憶システムにおいて、NAND型メモリセルブロックを、MONOS型ゲート構造を用いたNANDセルアレイブロックにて構成したII-IIロウ方向素子断面構造図。

【図25】本発明の第4の実施の形態に係るデータ記憶システムにおいて、NAND型メモリセルブロックを、MONOS型ゲート構造を用いたNANDセルアレイブロックにて構成したI-Iカラム方向素子断面構造図。

【図26】本発明の第4の実施の形態に係るデータ記憶システムにおけるセルアレイとセンスアンプ回路のレイアウトを示す回路構成図。

【図27】本発明の第4の実施の形態に係るデータ記憶システムにおいて、テンボラリメモリを含むセルアレイとセンスアンプ回路のレイアウトを示す回路構成図。

【図28】本発明の第5の実施の形態に係るデータ記憶システムにおいて、2つのメモリセルが接続された仮想接地アレイブロックのMONOSメモリのロウ方向素子断面構造図。

【図29】本発明の第5の実施の形態に係るデータ記憶システムにおいて、2つのメモリセルが接続された仮想接地アレイブロックのMONOSメモリのカラム方向素子断面構造図。

【図30】本発明の第7の実施の形態に係るデータ記憶システムに使用するページ型フラッシュメモリの模式的ブロック構成図。

【図31】本発明の第7の実施の形態に係るデータ記憶システムに使用するバイト型フラッシュメモリの模式的ブロック構成図。

【図32】本発明の第7の実施の形態に係るデータ記憶システムに使用するROM領域を有するEEPROM型フラッシュメモリの模式的ブロック構成図。

【図33】本発明の第7の実施の形態に係るデータ記憶システムに使用するROM領域を有するEEPROM型フラッシュメモリの模式的回路構成図。

【図34】本発明の第7の実施の形態に係るデータ記憶システムを適用するメモリカードの内部構造を示す模式的ブロック構成図。

【図35】本発明の第7の実施の形態に係るデータ記憶システムを適用するメ

メモリカードの内部構造を示す模式的ブロック構成図。

【図36】本発明の第7の実施の形態に係るデータ記憶システムを適用するメモリカードの内部構造を示す模式的ブロック構成図。

【図37】本発明の第7の実施の形態に係るデータ記憶システムを適用するメモリカードの内部構造を示す模式的ブロック構成図。

【図38】本発明の第7の実施の形態に係るデータ記憶システムを適用するメモリカードの内部構造を示す模式的ブロック構成図。

【図39】本発明の第7の実施の形態に係るデータ記憶システムを適用するメモリカード及びカードホルダーの模式的構成図。

【図40】本発明の第7の実施の形態に係るデータ記憶システムを適用するメモリカード及びそのカードホルダーを受容可能な接続装置の模式的構成図。

【図41】本発明の第7の実施の形態に係るデータ記憶システム不揮発性半導体記憶装置システムを適用するメモリカードを内蔵し、接続ワイヤを介してパーソナルコンピュータに接続するための結合装置の模式的構成図。

【図42】本発明の第7の実施の形態に係る不データ記憶システムを適用するメモリカードを内蔵可能な、デジタルカメラシステム。

【図43】本発明の第7の実施の形態に係るデータ記憶システムを適用するICカードの模式成図。

【図44】本発明の第7の実施の形態に係るデータ記憶システムを適用するICカードの内部構造を示す模式的ブロック構成図。

【図45】本発明の第7の実施の形態に係るデータ記憶システムを適用するICカードの内部構造を示す模式的ブロック構成図。

【図46】本発明の第7の実施の形態に係るデータ記憶システムを適用するICカードの内部構造を示す模式的ブロック構成図。

【図47】本発明の第7の実施の形態に係るデータ記憶システムを適用するICカードの内部構造を示す模式的ブロック構成図。

【図48】従来の不揮発性半導体記憶装置において、メモリセルしきい値 V_{thi} とストレス時間との関係を説明する図。

【符号の説明】

- 1…メモリセルアレイ
- 2,205…データ制御線ドライバ
- 3…ロウデコーダ
- 4…データ記憶システム
- 5…誤りビット検出回路
- 6…誤りビット判定回路
- 7…メモリマクロ
- 8…単位時間遅延回路
- 9…誤り位置検出出力回路
- 10…ページカウンタ
- 11…ページバッファ
- 12…排他的論理和回路
- 13,16…ANDゲート
- 14…符号器
- 15…復号器
- 18…p型層
- 19,43…側壁絶縁膜
- 21…p型半導体基板
- 22…n型シリコン領域
- 23…p型ウェル領域
- 24,68…素子分離絶縁膜
- 25,25_{SSL},25_{GSL}…トンネルゲート絶縁膜
- 26…電荷蓄積層
- 26_{SSL},26_{GSL}…ゲート電極
- 27,27_{WL0},27_{WL1},…,27_{WL13},27_{WL14},27_{WL15}, 27_{SSL},27_{GSL},27(SSL)…制御ゲート電極
- 27' …金属裏打ち層
- 28,28_s,28_d…n型拡散層
- 29,62…層間絶縁膜

- 30_s, 30_d…
- 31_s, 31_d…コンタクト
- 33, 33_{SL}, 33_d, …共通ソース線
- 36, 36 (BL) …データ転送線
- 37…絶縁膜保護層
- 37' …シリコン窒化膜層
- 38…上部配線
- 40…制御回路
- 41a…V_{pgm}発生回路
- 41b…V_{pass}発生回路
- 41c…V_{read}発生回路
- 41d…V_{ref}発生回路
- 42…基板電位制御回路
- 45…データ入出力バッファ
- 46, 85…センスアンプ/データラッチ
- 47…アドレスバッファ
- 48…カラムデコーダ
- 49, 49' …メモリセルブロック
- 50, 50_{SSL}, 50_{SGL}, 50 (SSL) …ブロック絶縁膜
- 51…制御電極
- 52…半導体メモリデバイス
- 54…メモリカード
- 60, 61…絶縁膜
- 71, 72…インタフェースユニット (I/F)
- 73…MPU
- 74…バッファRAM
- 76…コントローラ
- 80…メモリカードホルダ
- 84…リードディスターブ評価用セルアレイおよびスイッチ

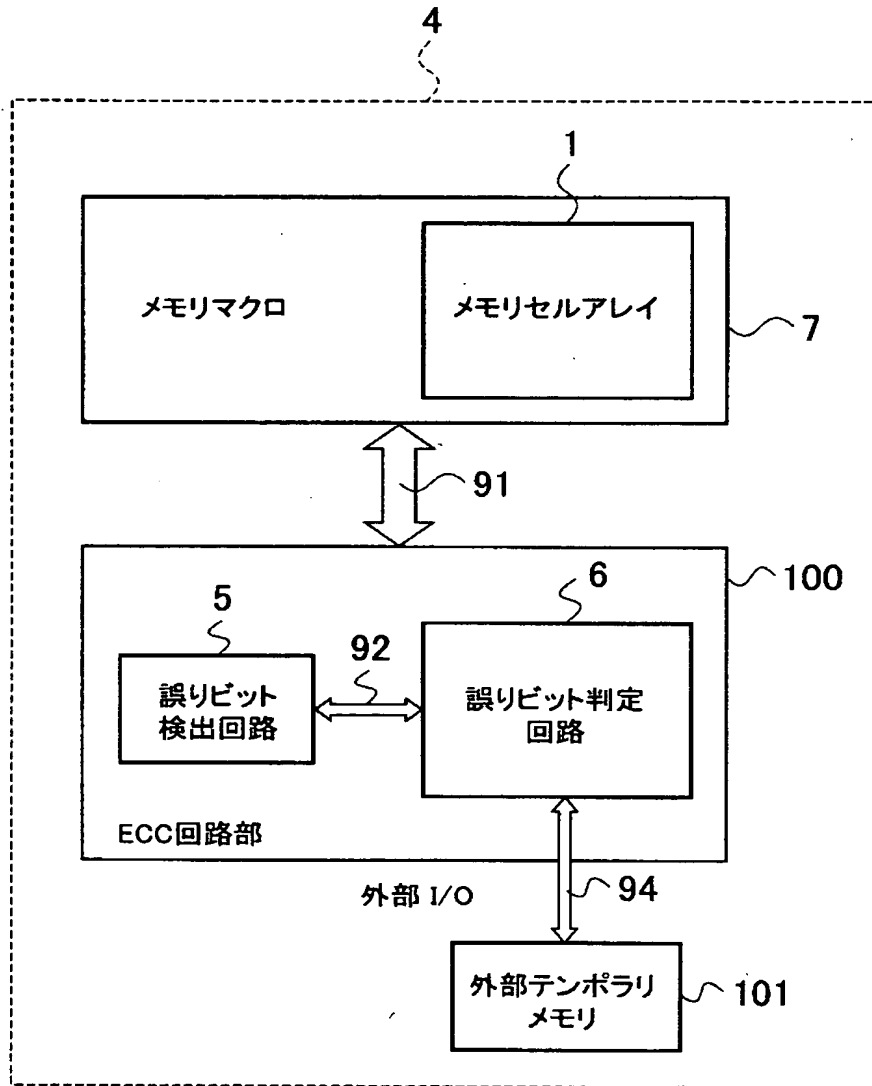
86...ページカウンタ
87...ブロックアドレスラッチ
88...制御ロジック回路
90...第3の内部I/O線
91...第2の内部I/O線
92...第1の内部I/O線
93...誤り検出信号線
94...外部入出力I/O線
100...ECC回路部
101,102...テンポラリメモリ
105...誤りビットデータ判定回路
106,107...I/Oポート
111...RAM
190...接続装置
191...回路ボード
192...接続ワイヤ
193...インタフェース回路
194,430...CPU
195...バス
201...D型フリップフロップ
202...n型トランジスタ
203...p型トランジスタ
204...インバータ
350...パーソナルコンピュータ
400...MPU
410...ROM
420...RAM
431...演算部
432...制御部

500…ICカード
501…半導体メモリデバイス領域
502…メモリ混載MPU
503,510…ROM領域を有するEEPROMモードのフラッシュメモリ
506,507, 508, 509…システムLSIチップ
600…プレーンターミナル
601…フラッシュメモリセルアレイ
602…センスアンプ
603…ビット線
604…ワード線
605,606,611,612…メモリセル列
607,608,613…メモリセル
609…フラッシュメモリ
610…ROM領域を有するEEPROM
650…デジタルカメラ
M0,M1,M2, …, M14,M15…メモリセルトランジスタ
BL, BL1a,BL2a, …, BL1k,BL2K…データ転送線（ビット線）
SL…共通ソース線
S1,S2…選択トランジスタ
SSL,GSL…ブロック選択線
WL0,WL1,WL2,WL3, …, WL14,WL15…データ選択線
ST1, ST2, …, ST5…ステップ
SR1, SR2, …, SR10…ステップ
S1, S2, …, S24…ステップ
SE1,SE2, …, SE23…ステップ
IBI…情報ビット入力
S1…スイッチ回路
COI…符号入力
CO…符号出力

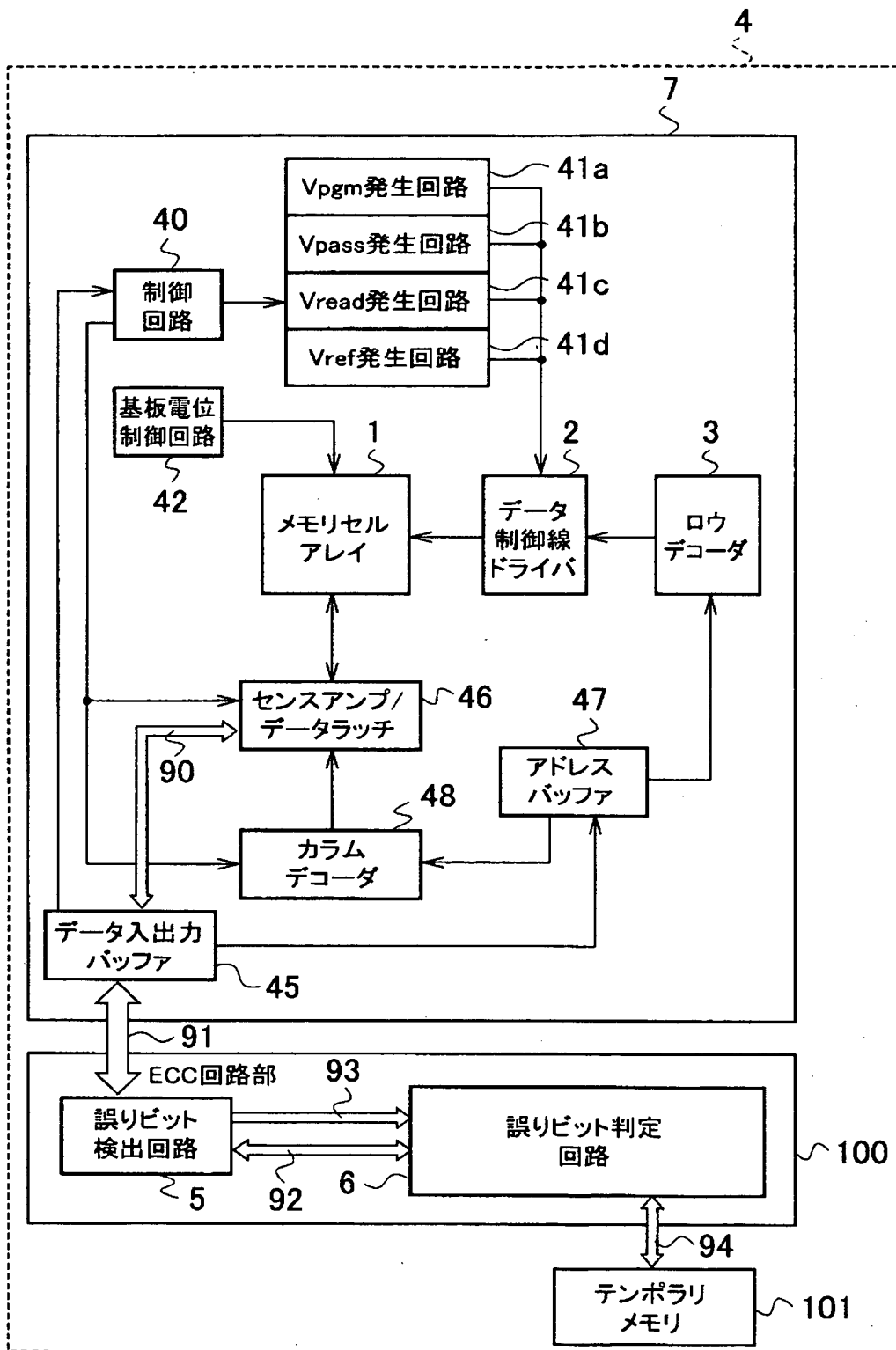
IBI…情報ビット入力
 IBO…誤り訂正された情報ビット出力
 EPD…誤り位置検出出力
 RDO…誤り位置検出出力
 DOC…データ出力制御入力
 DI/O…データ入出力
 CI…クロック入力
 T1…ページバッファ又はテンポラリメモリへデータ記憶
 T2…ページバッファ又はテンポラリメモリからデータ読み出し
 Q1a,Q2a,...,Q1k,Q2k…データ転送線選択トランジスタ
 sel1.sel2…データ転送線選択ゲート線
 Qaa,Qab,...,Qka,Qkb…MOSトランジスタ
 SW1,SW2…スイッチ
 Vcc…電源電圧
 Din1,Din2,Din3,...,Dink…データ入力
 Dout1,Dout2,Dout3,...,Doutk…データ出力
 CI…クロック入力
 CLE…コマンドラインイネーブルシグナルライン
 ALE…アドレスラインイネーブルシグナルライン
 DAT…シグナルライン
 R/B…レディー／ビジーシグナルライン
 CMD…コマンドシグナルライン
 CLK…クロックシグナルライン

【書類名】 図面

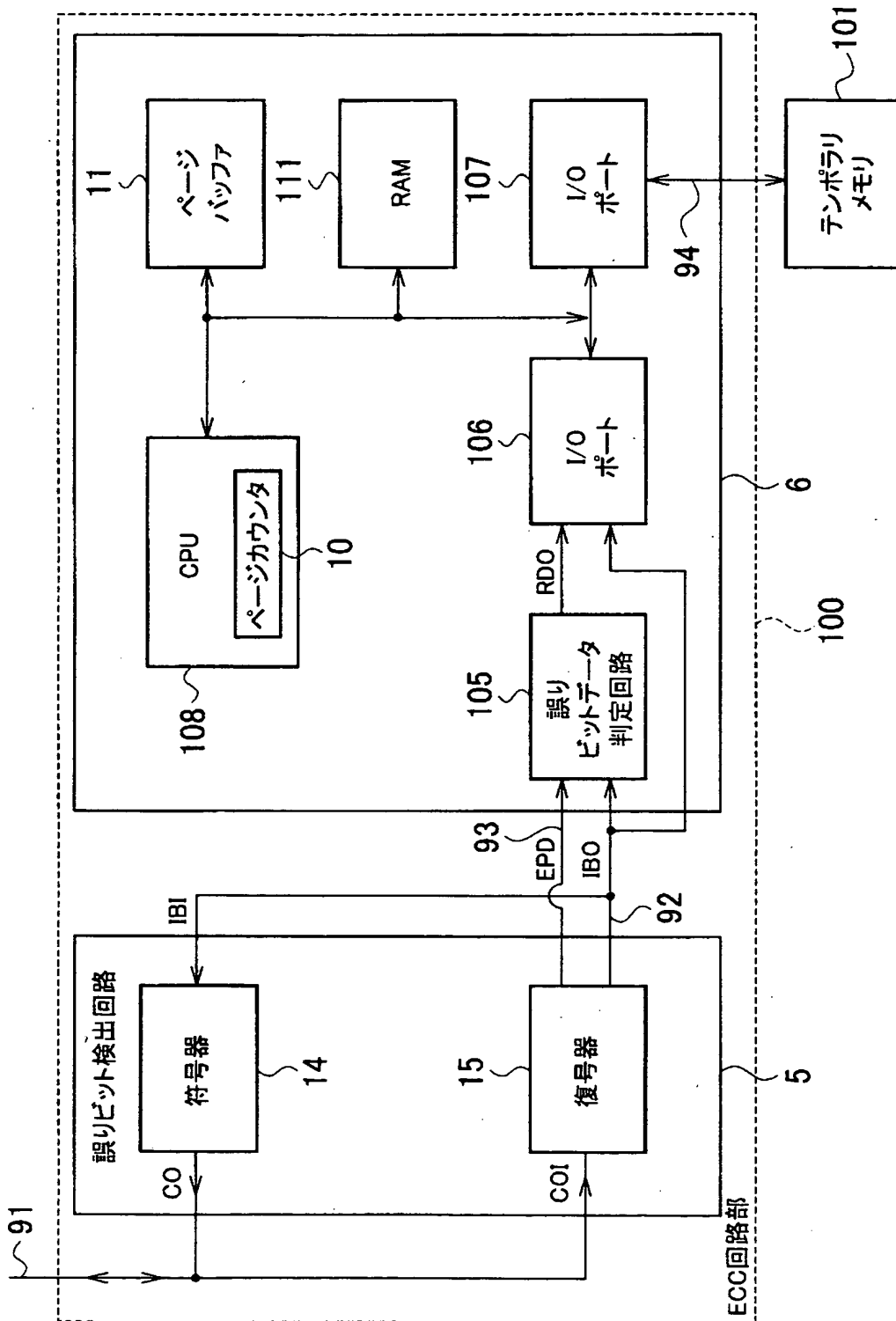
【図1】



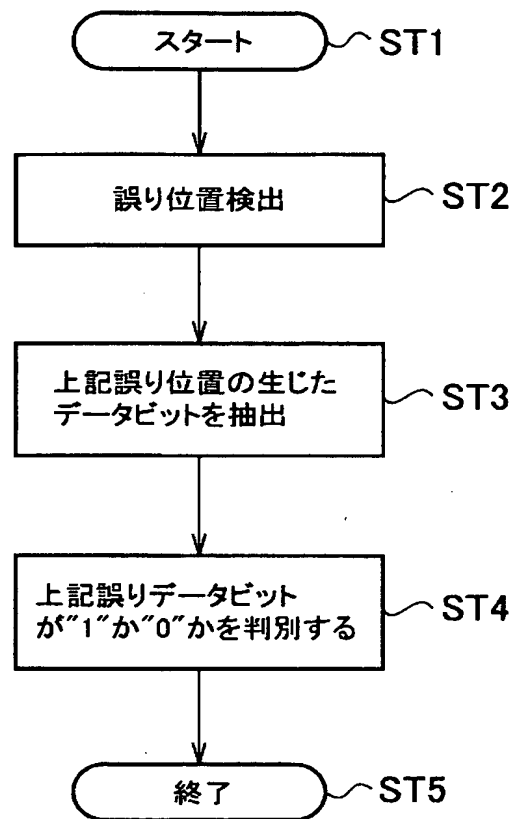
【図2】



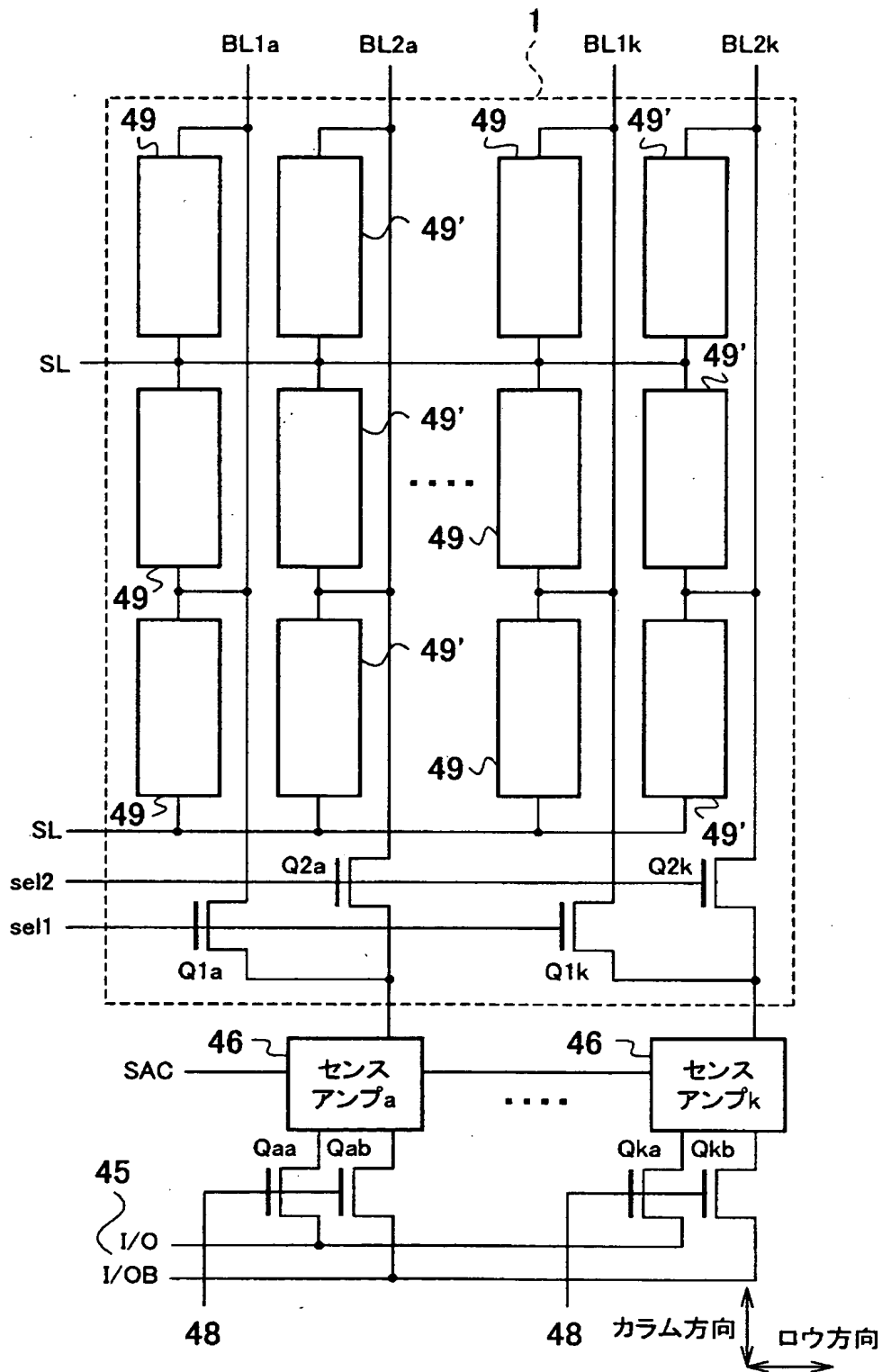
【図3】



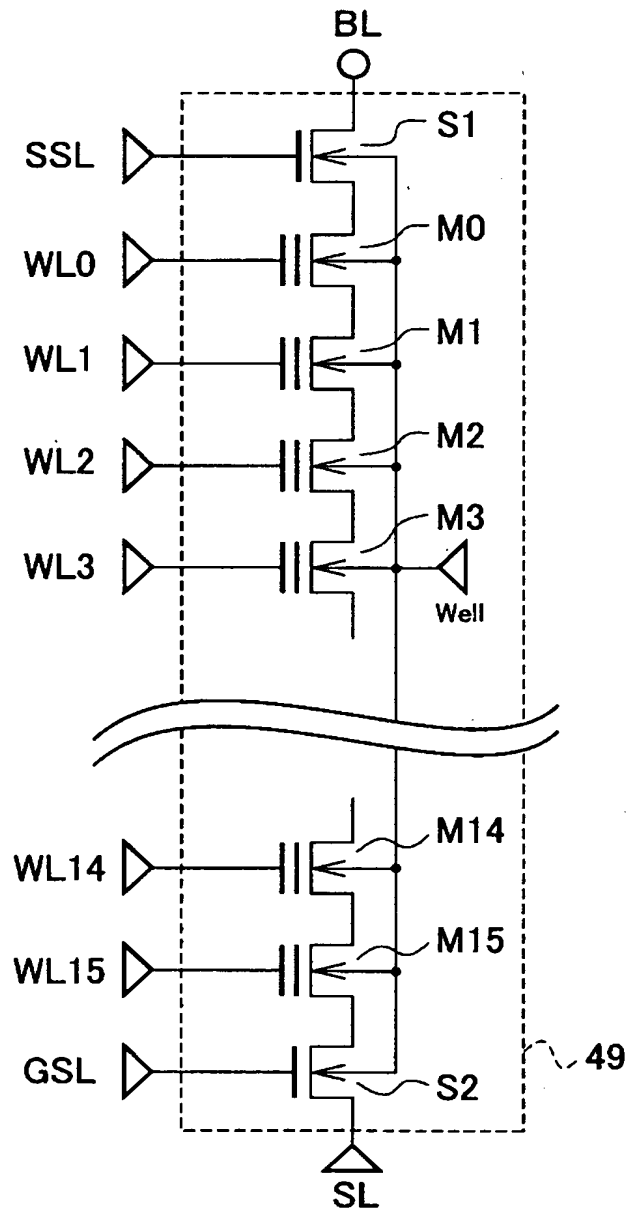
【図4】



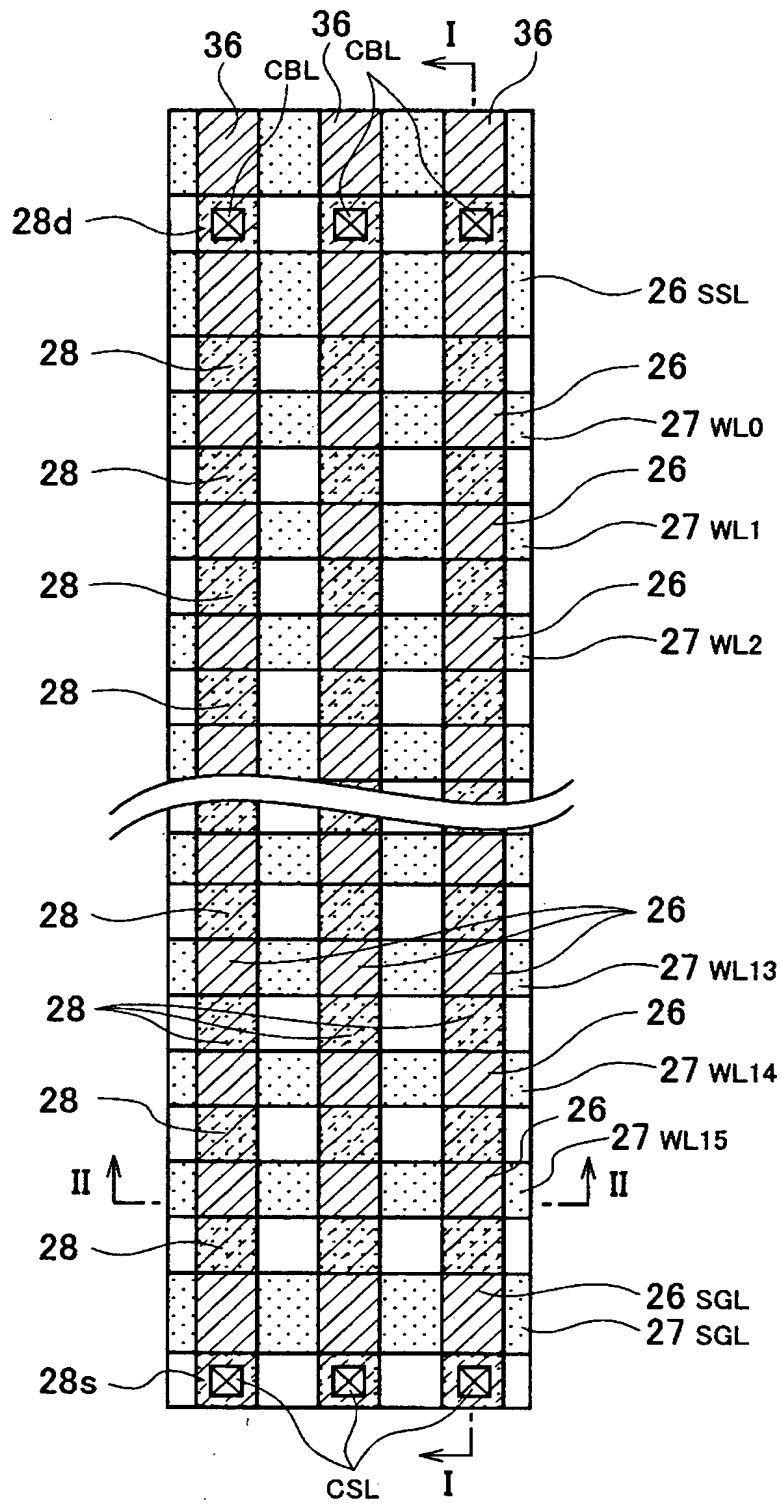
【図5】



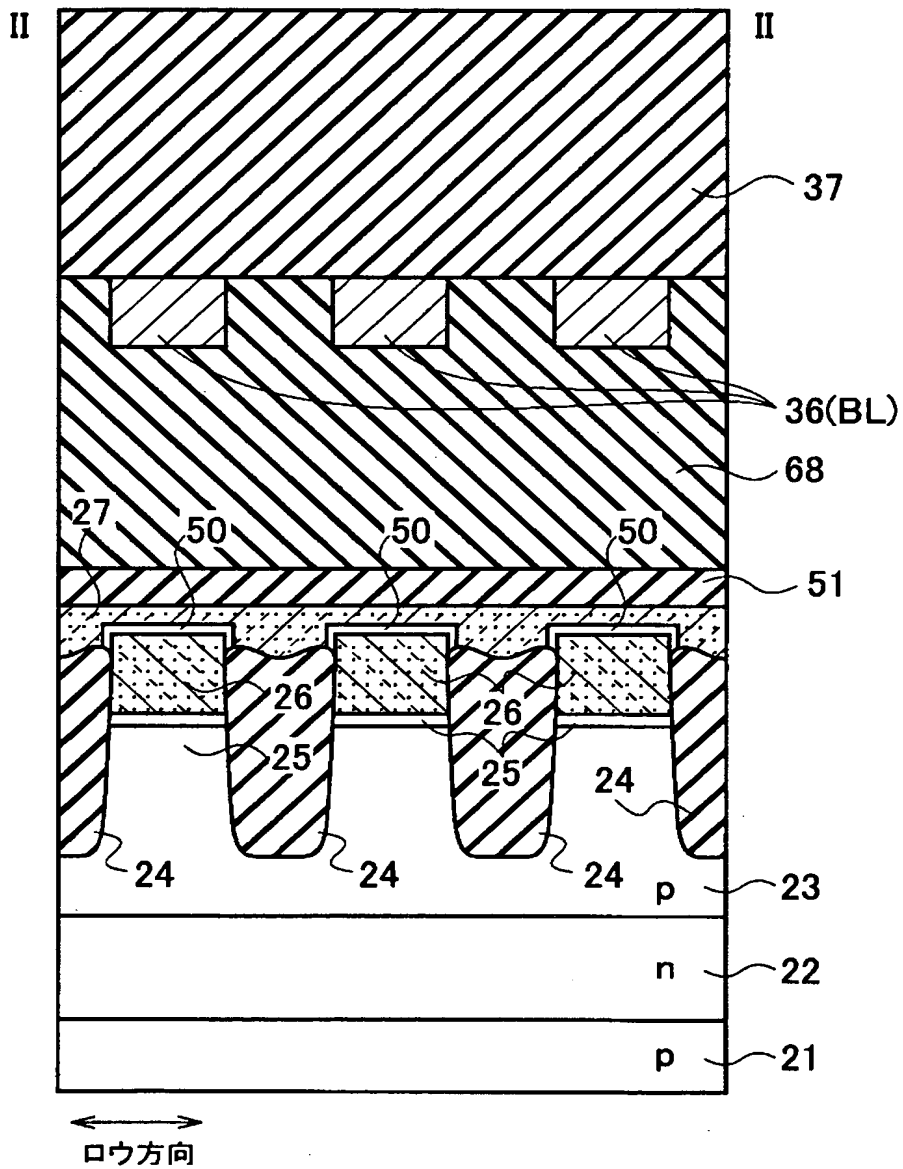
【図6】



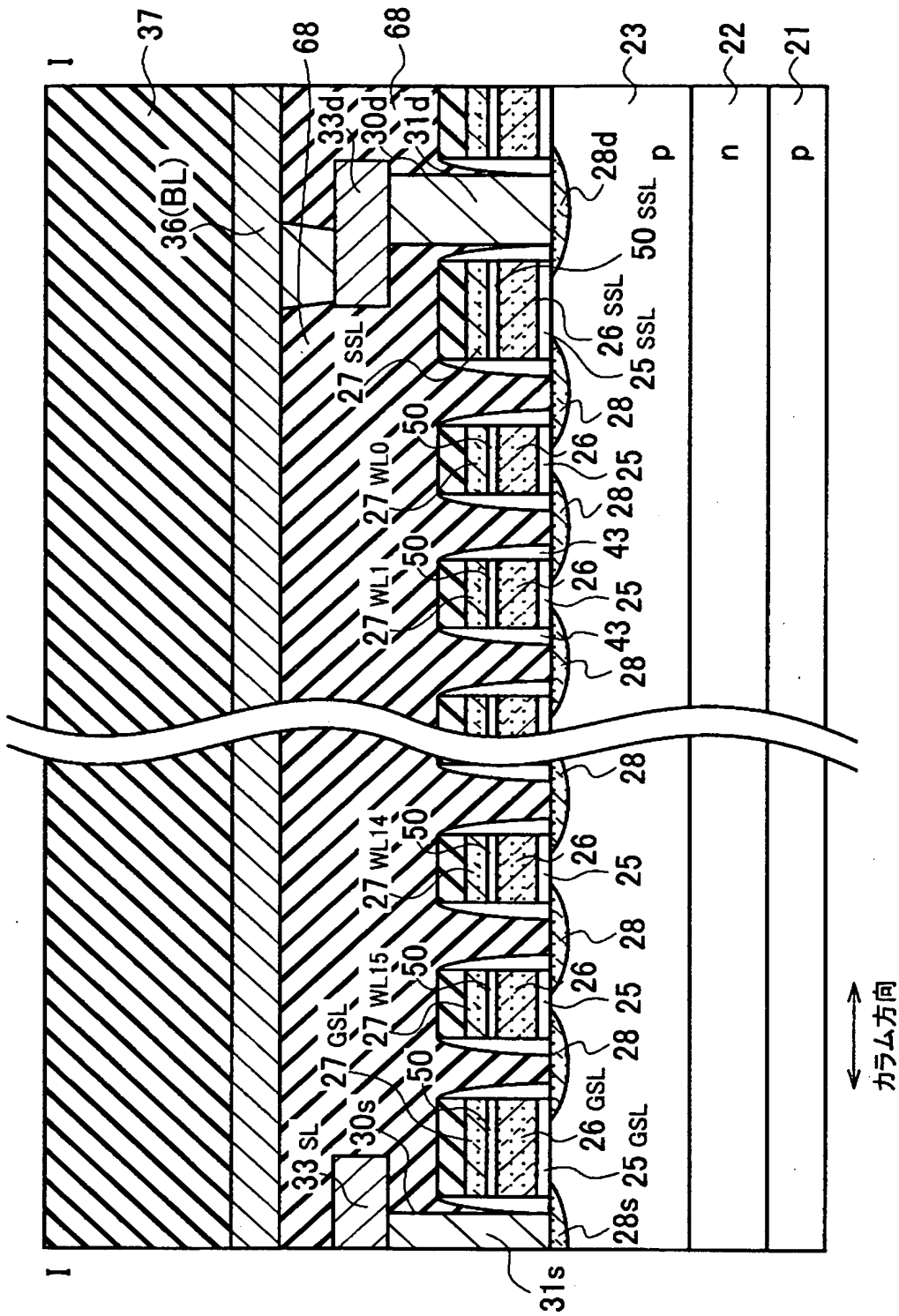
【図7】



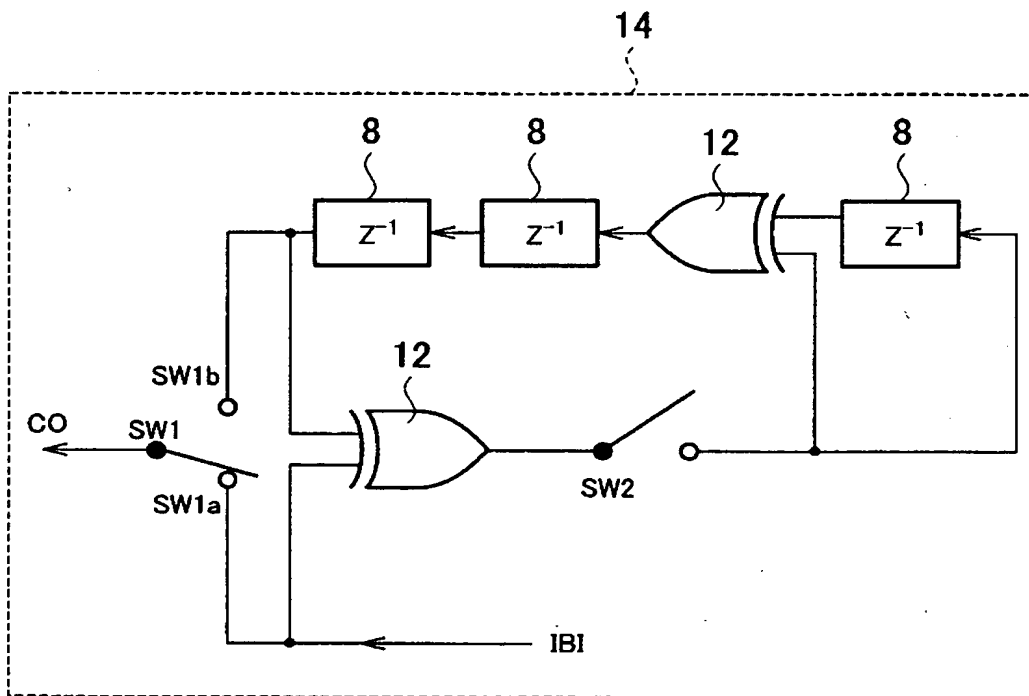
【图8】



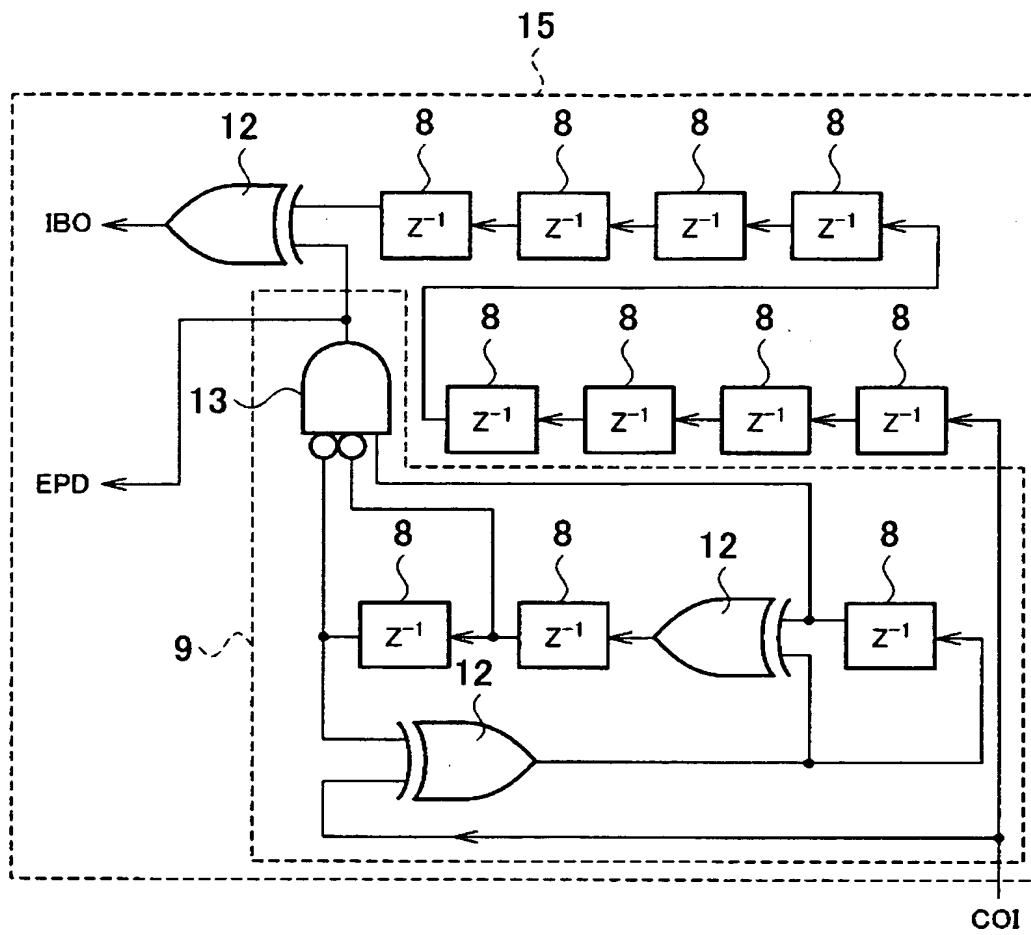
【図9】



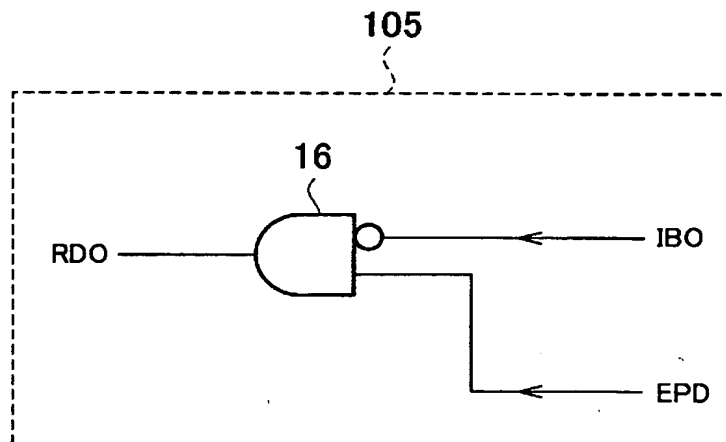
【図10】



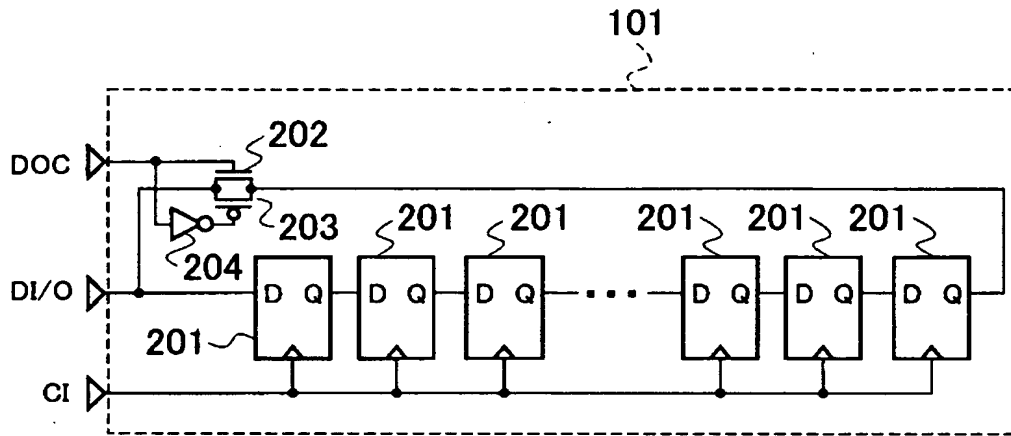
【図11】



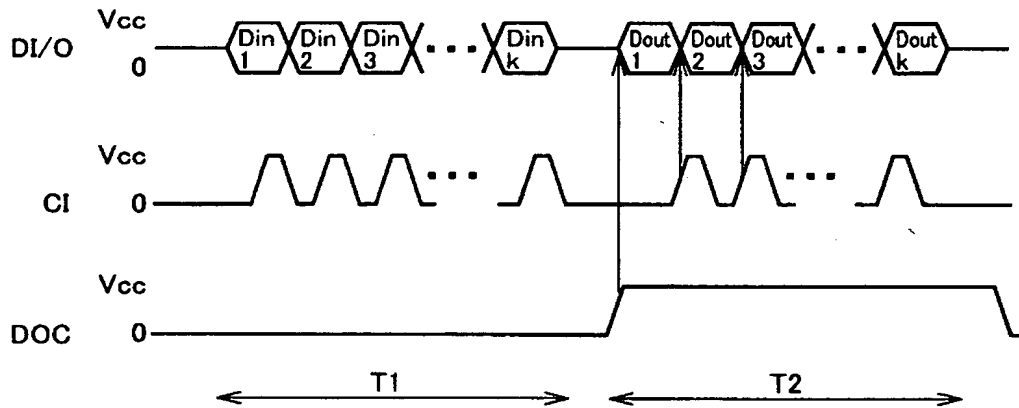
【図12】



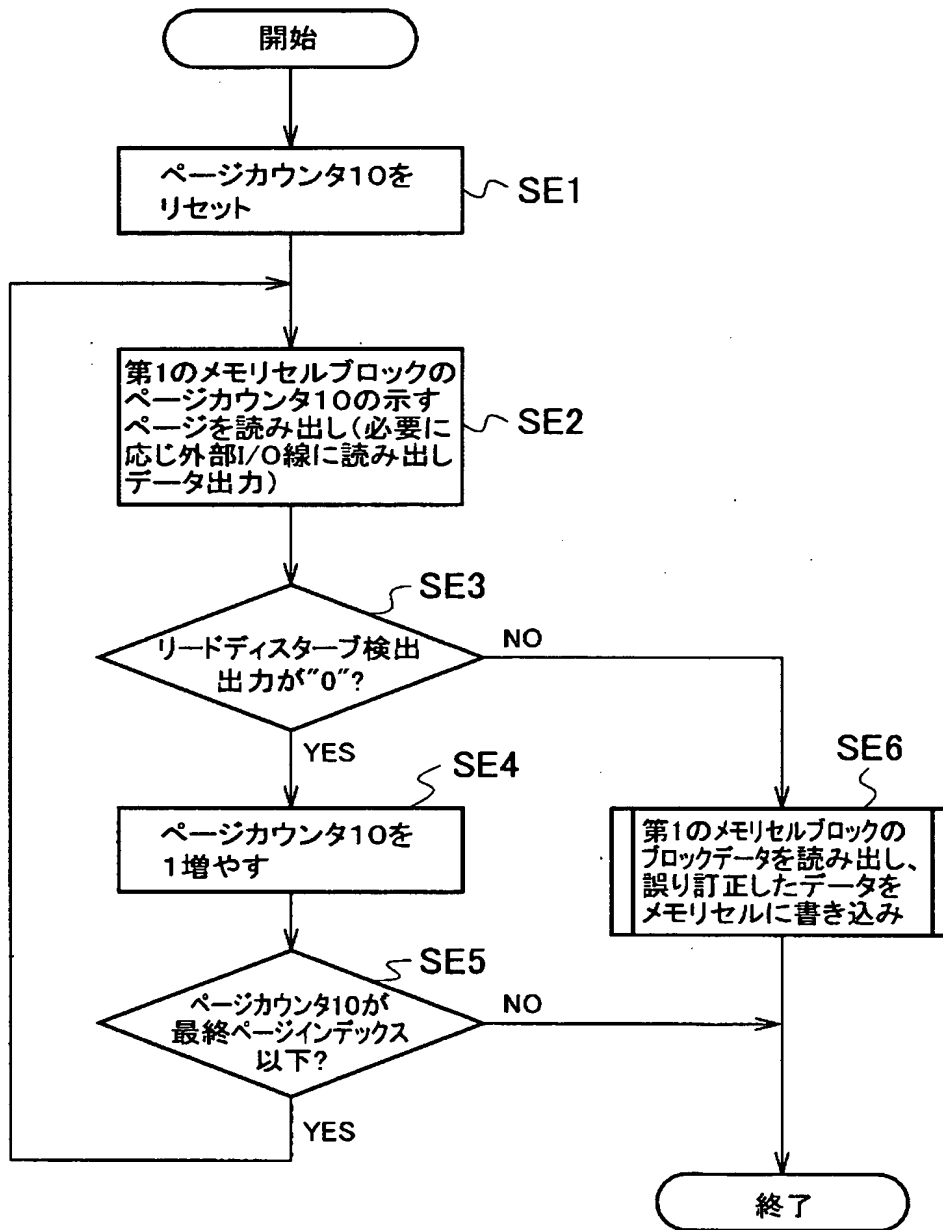
【図13】



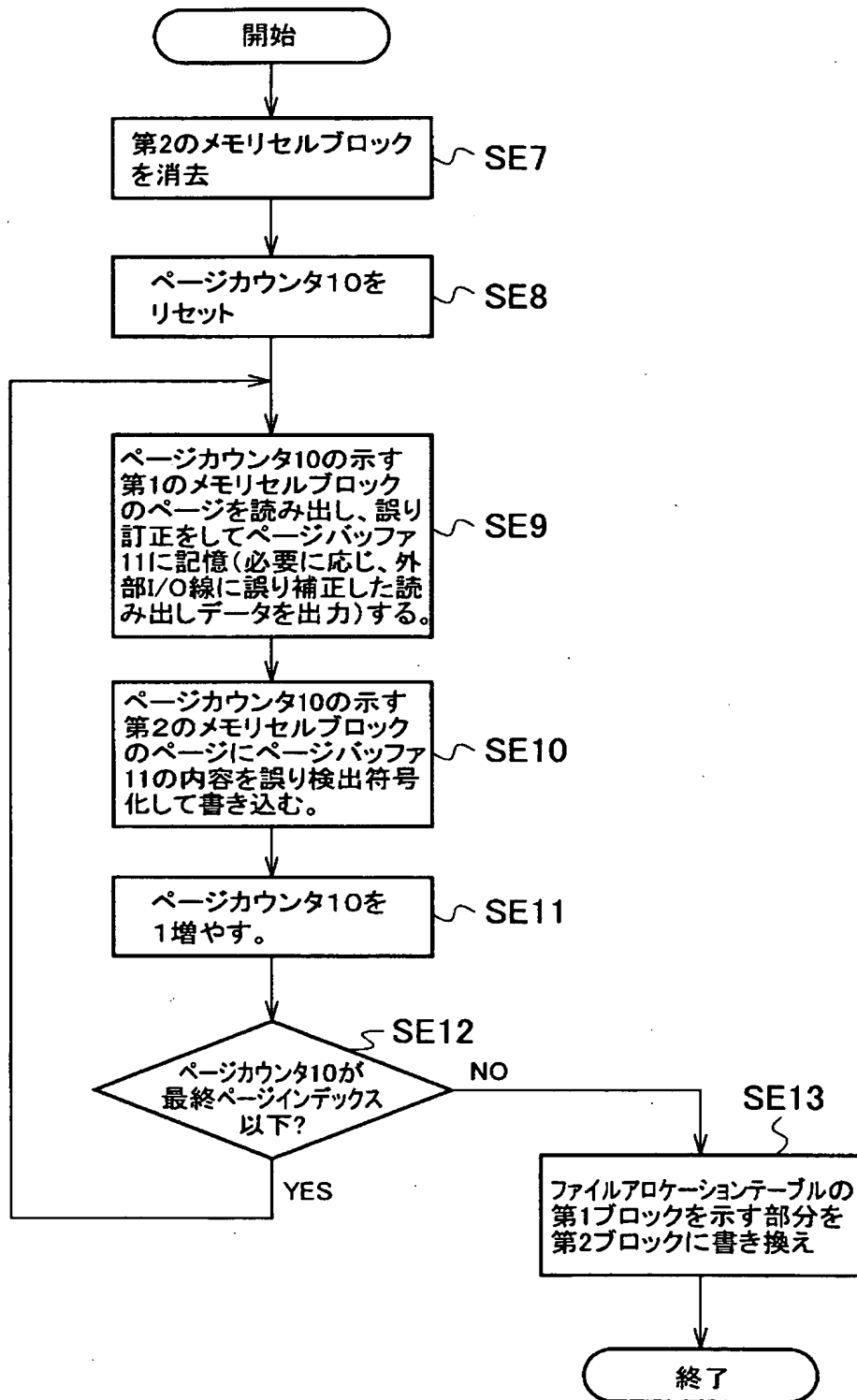
【図14】



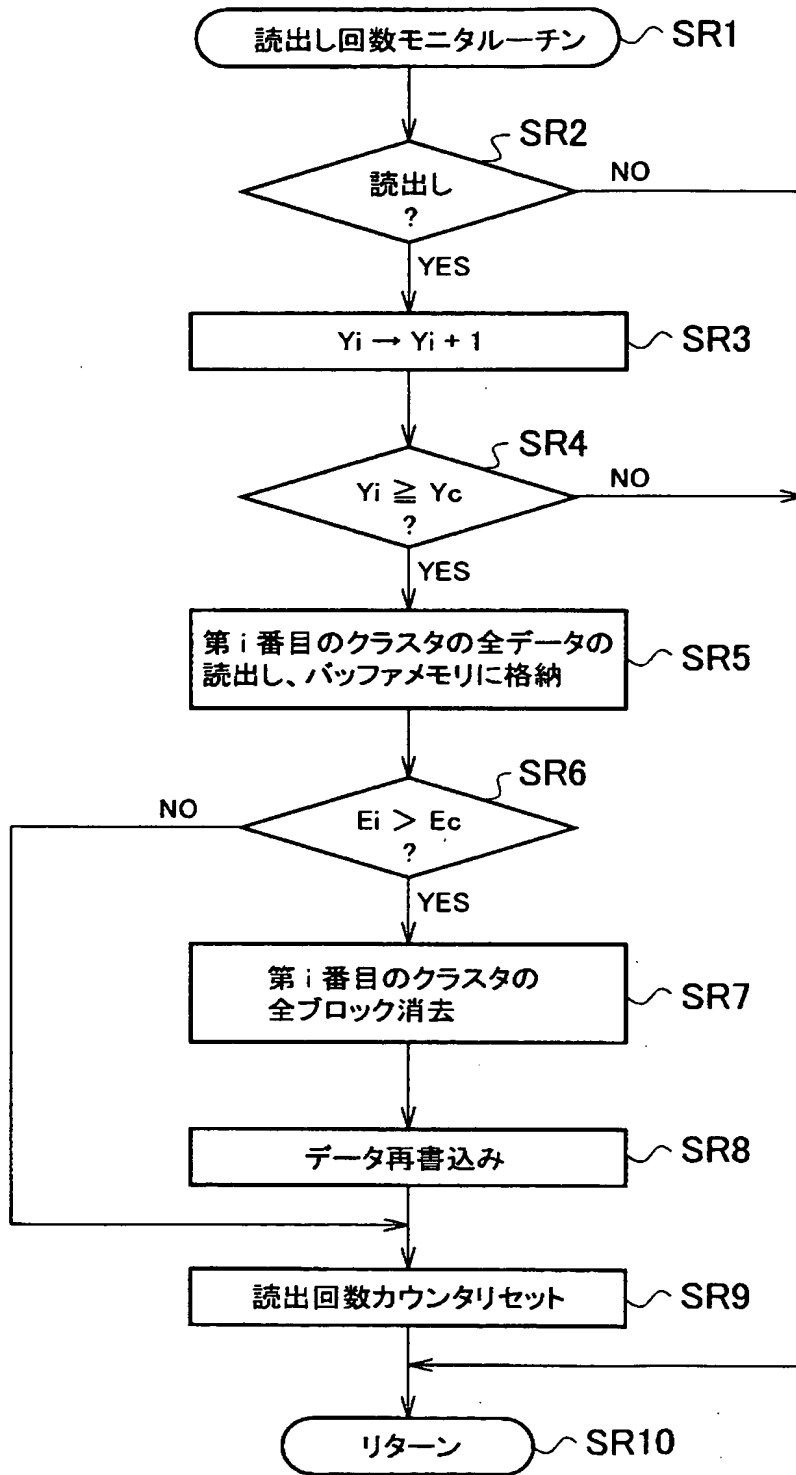
【図15】



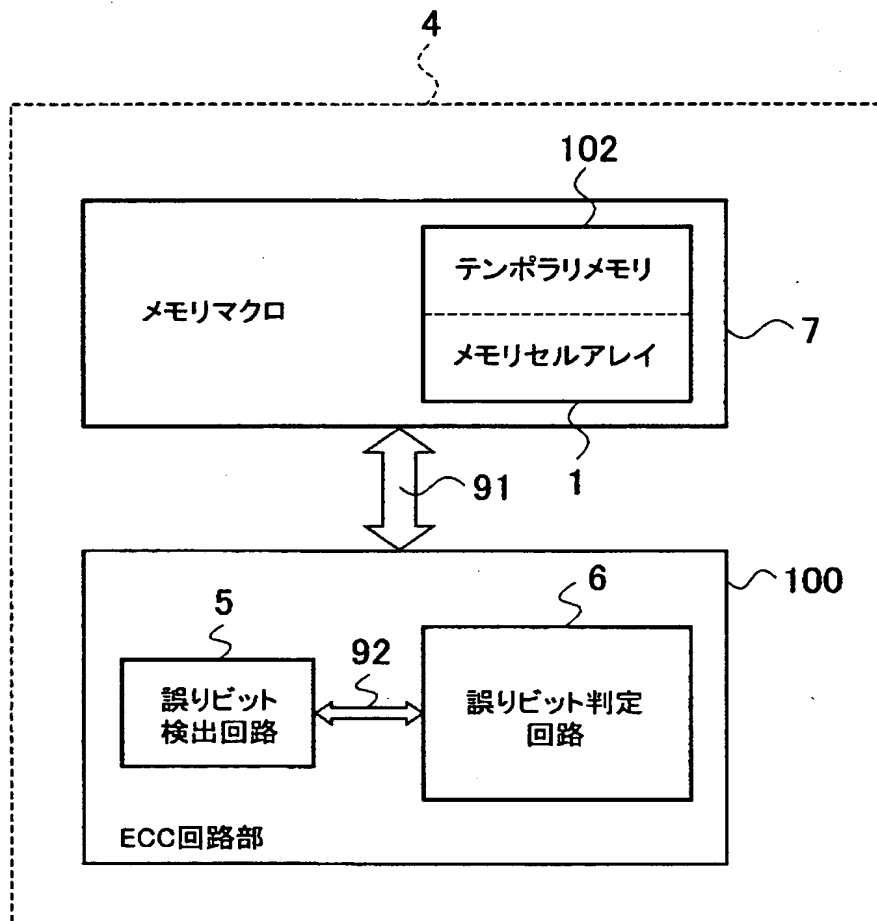
【図16】



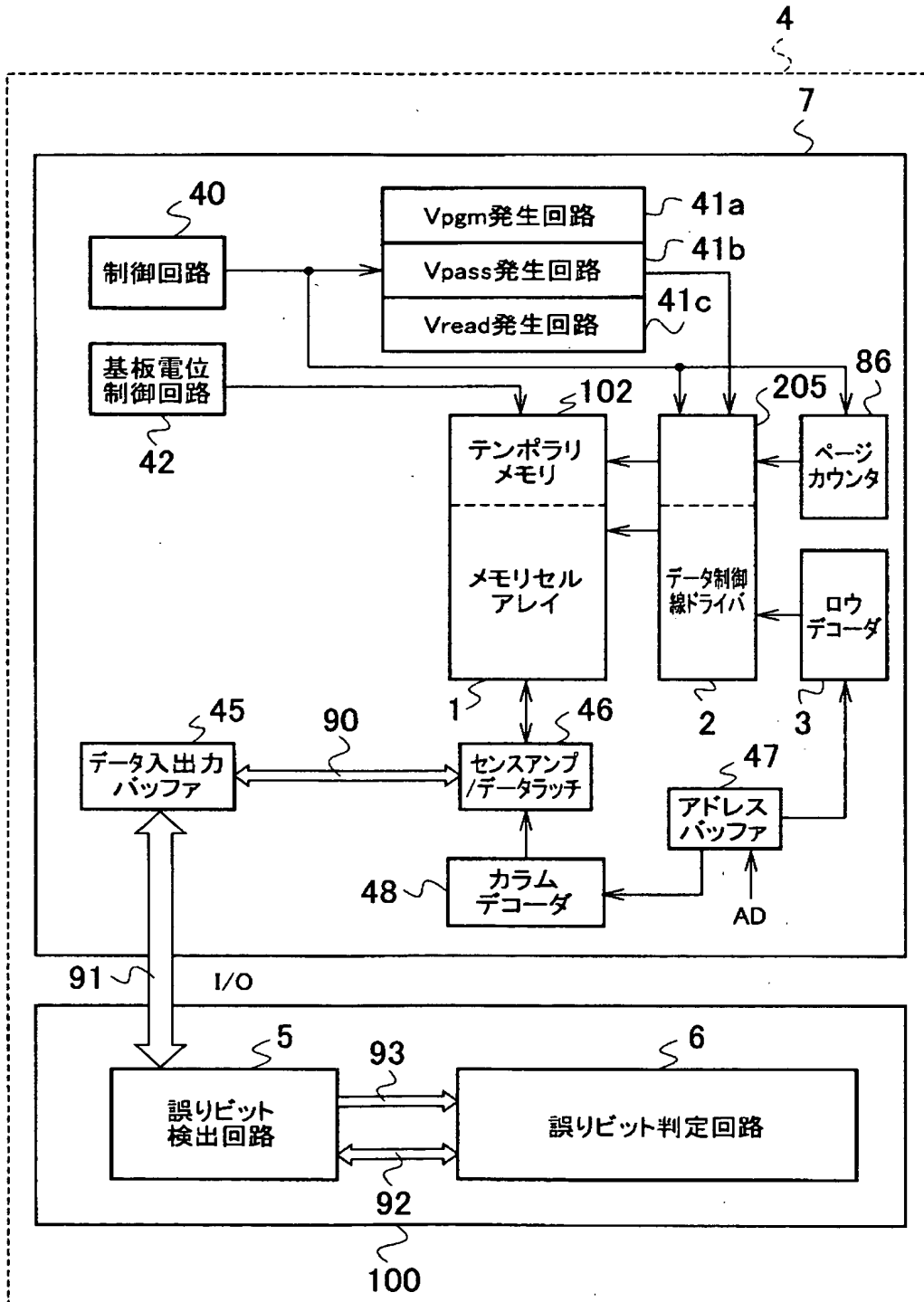
【図17】



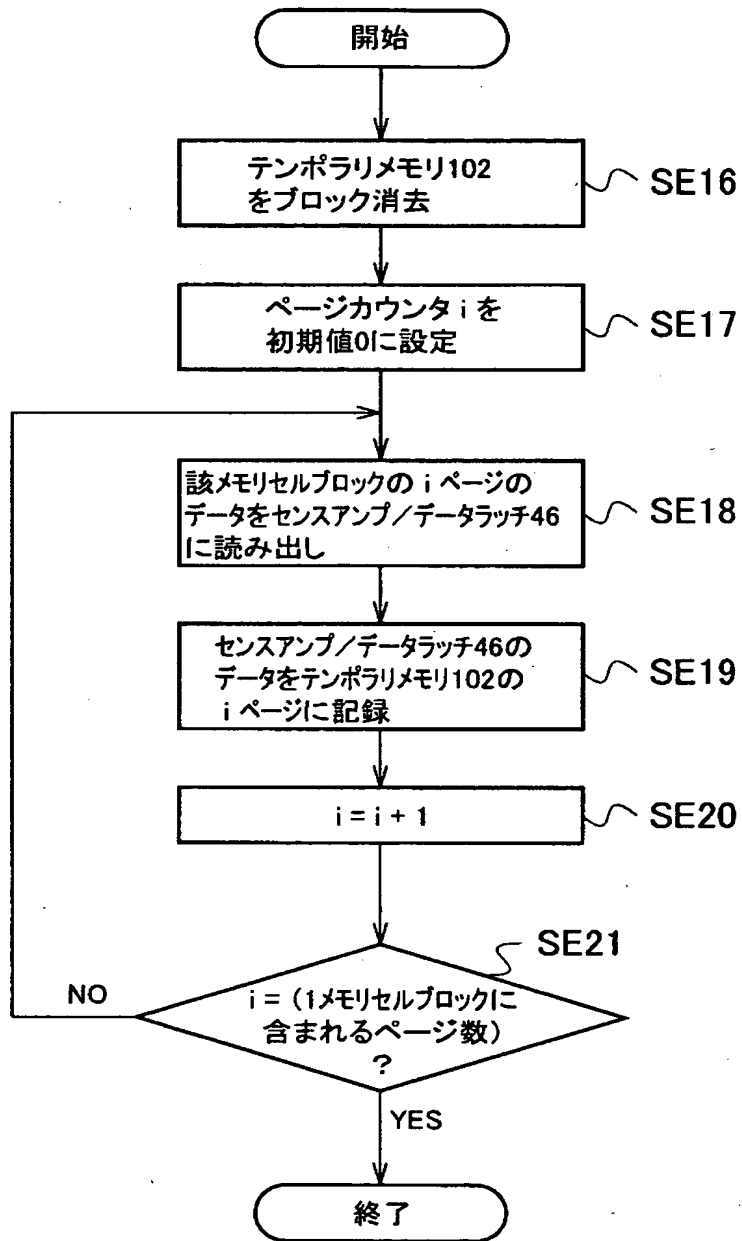
【図18】



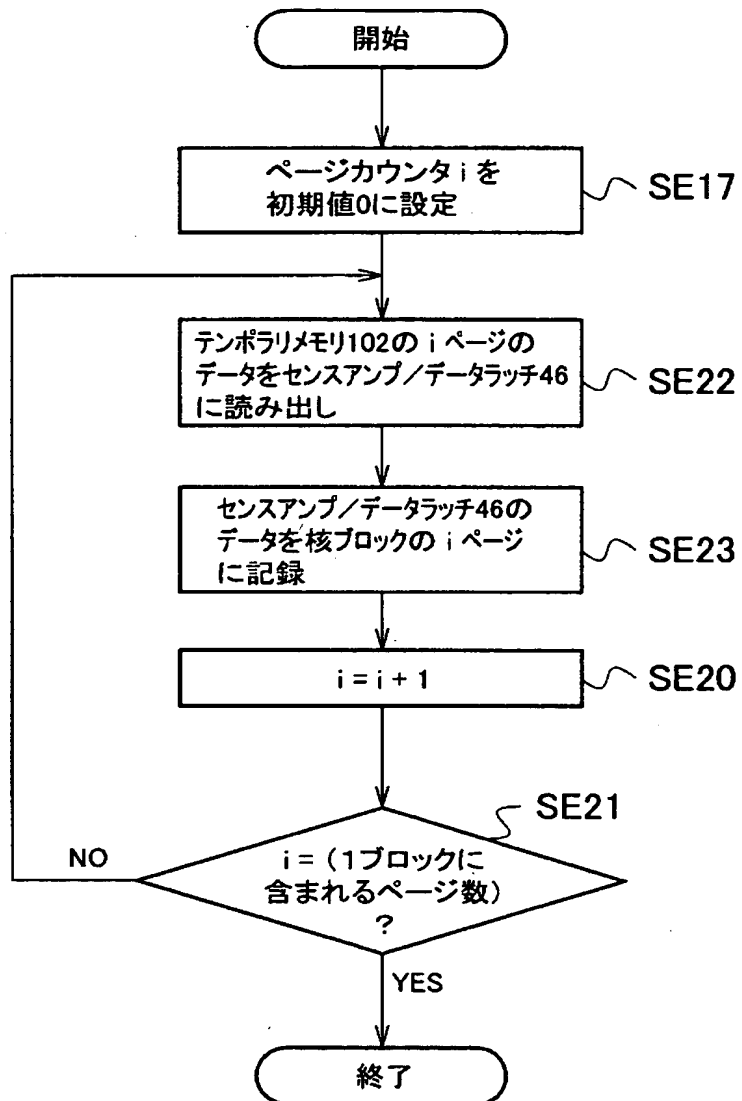
【図19】



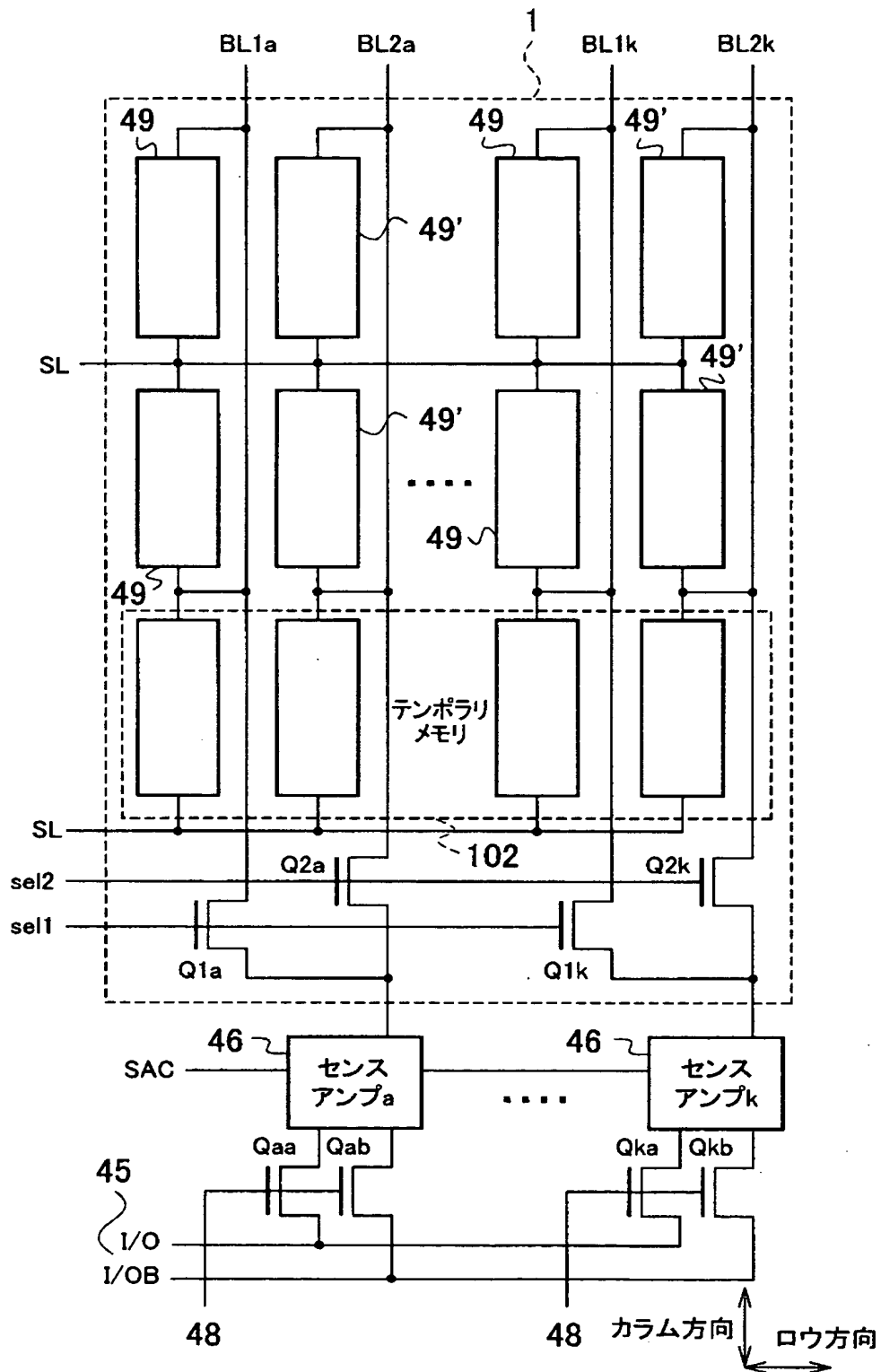
【図20】



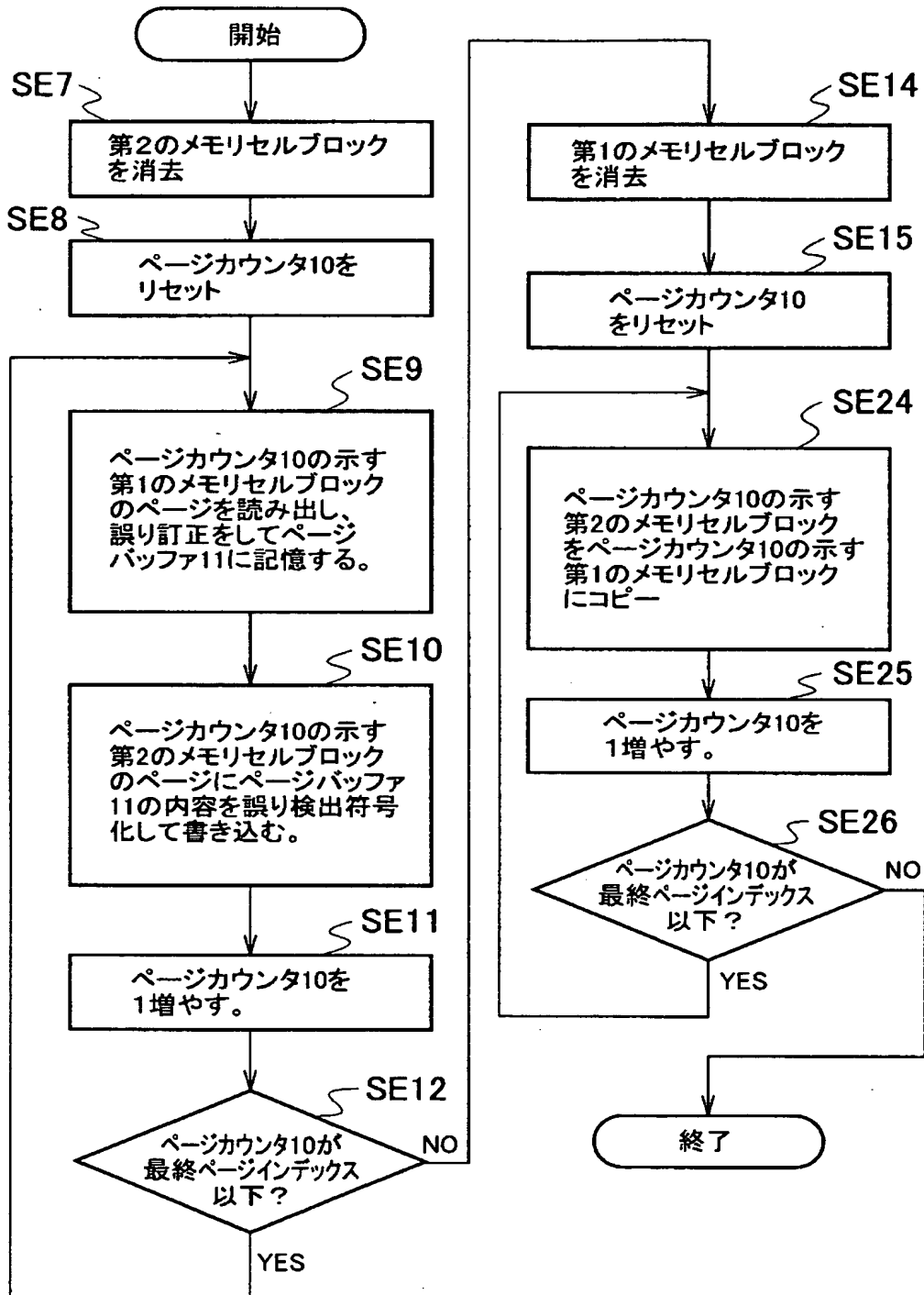
【図21】



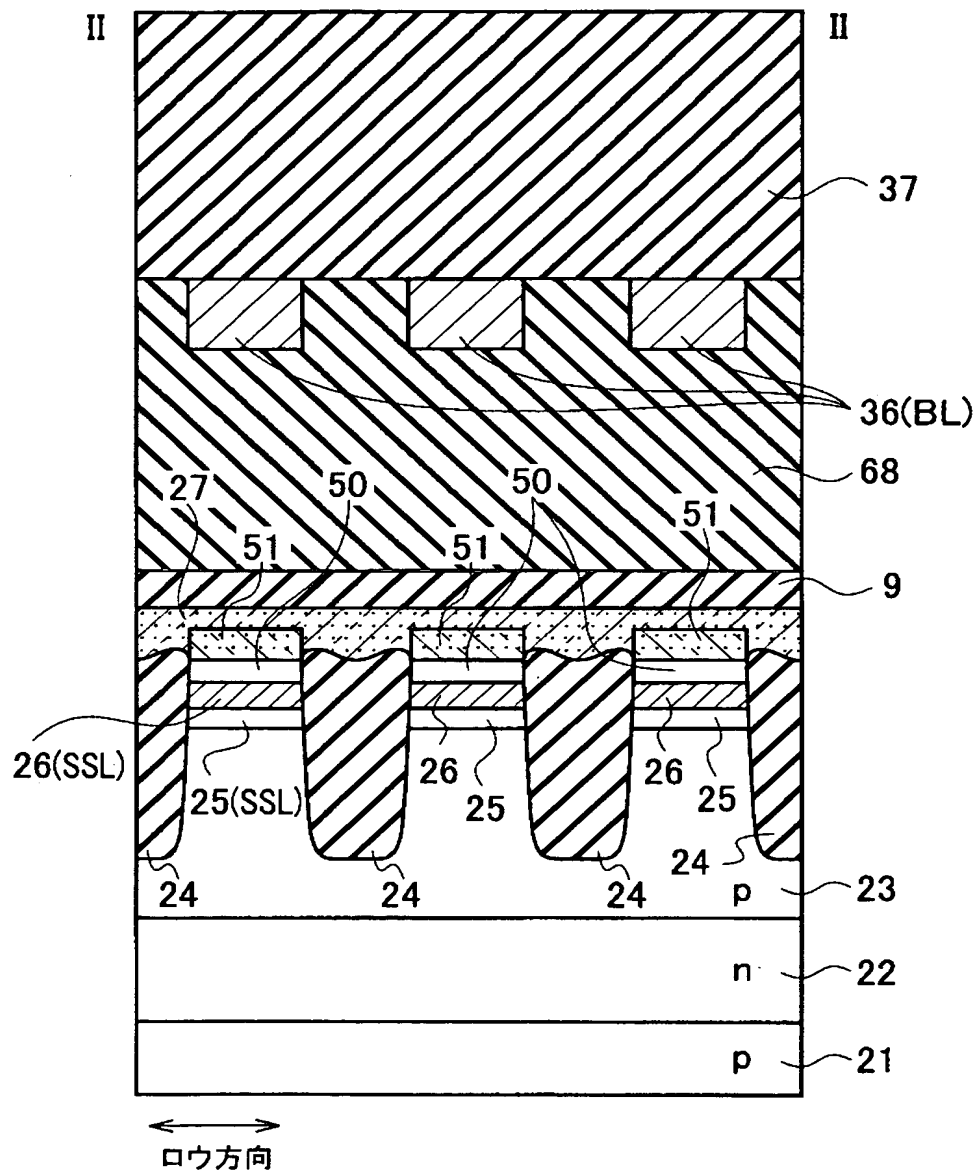
【図22】



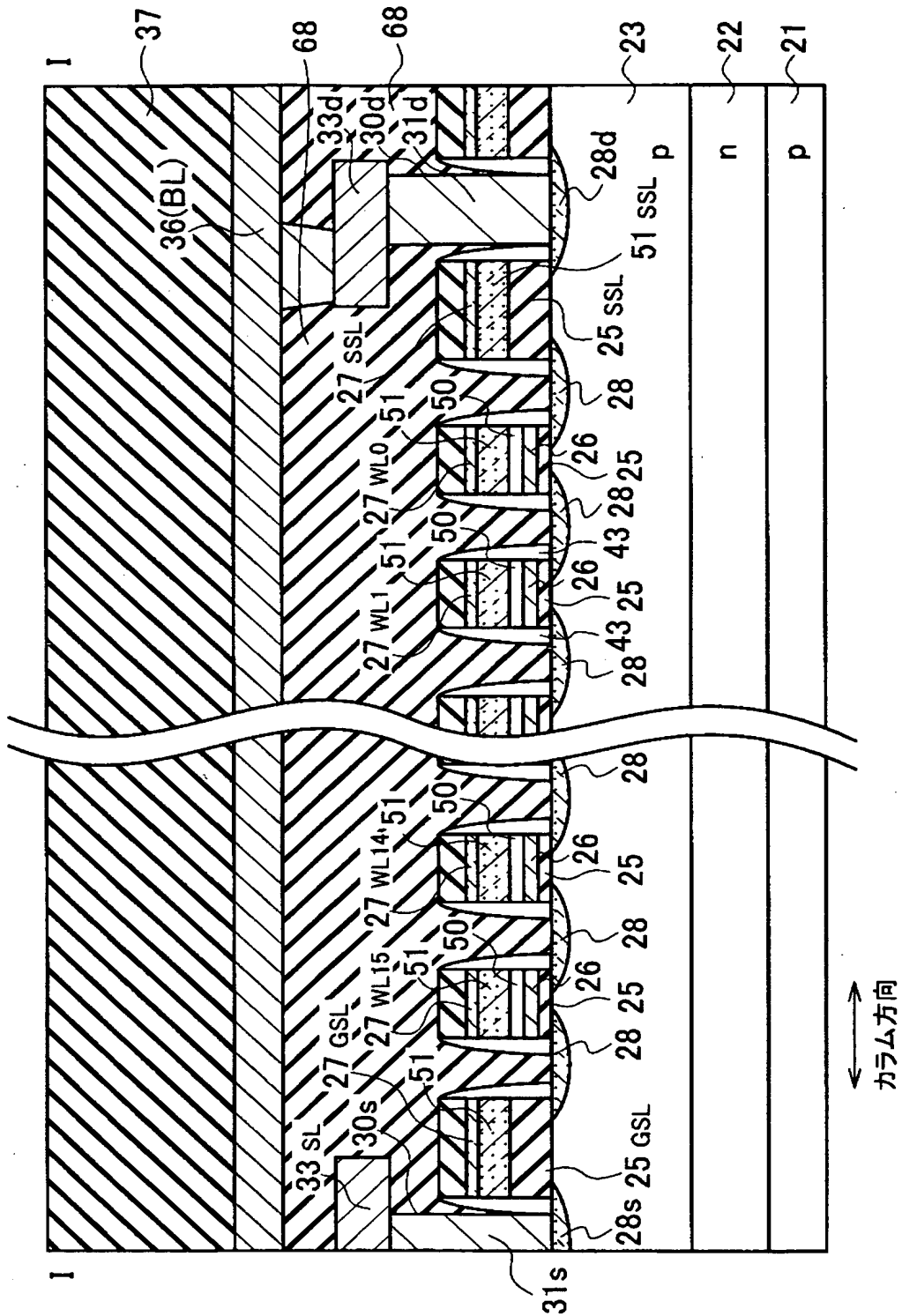
【図23】



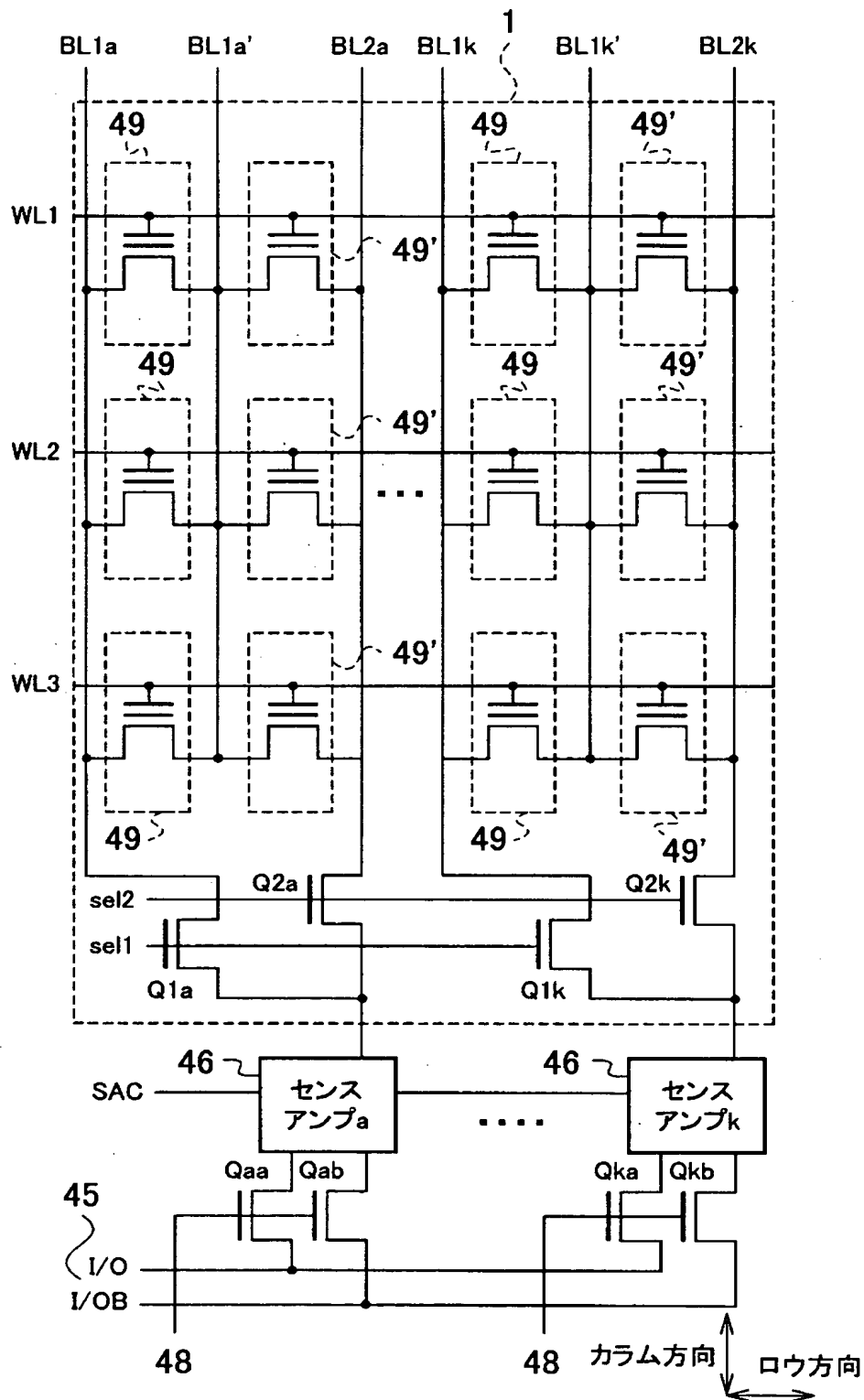
【図24】



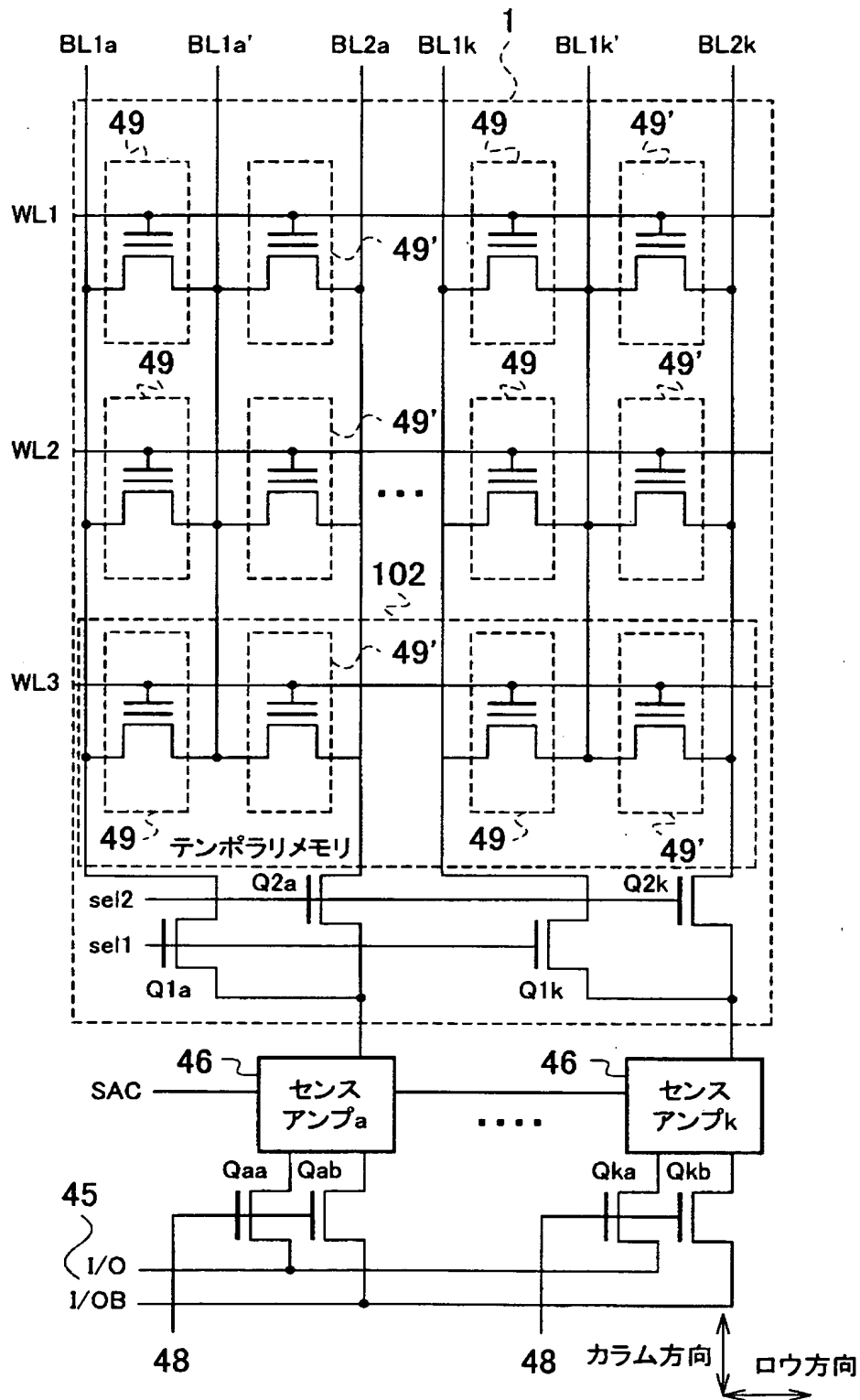
【图25】



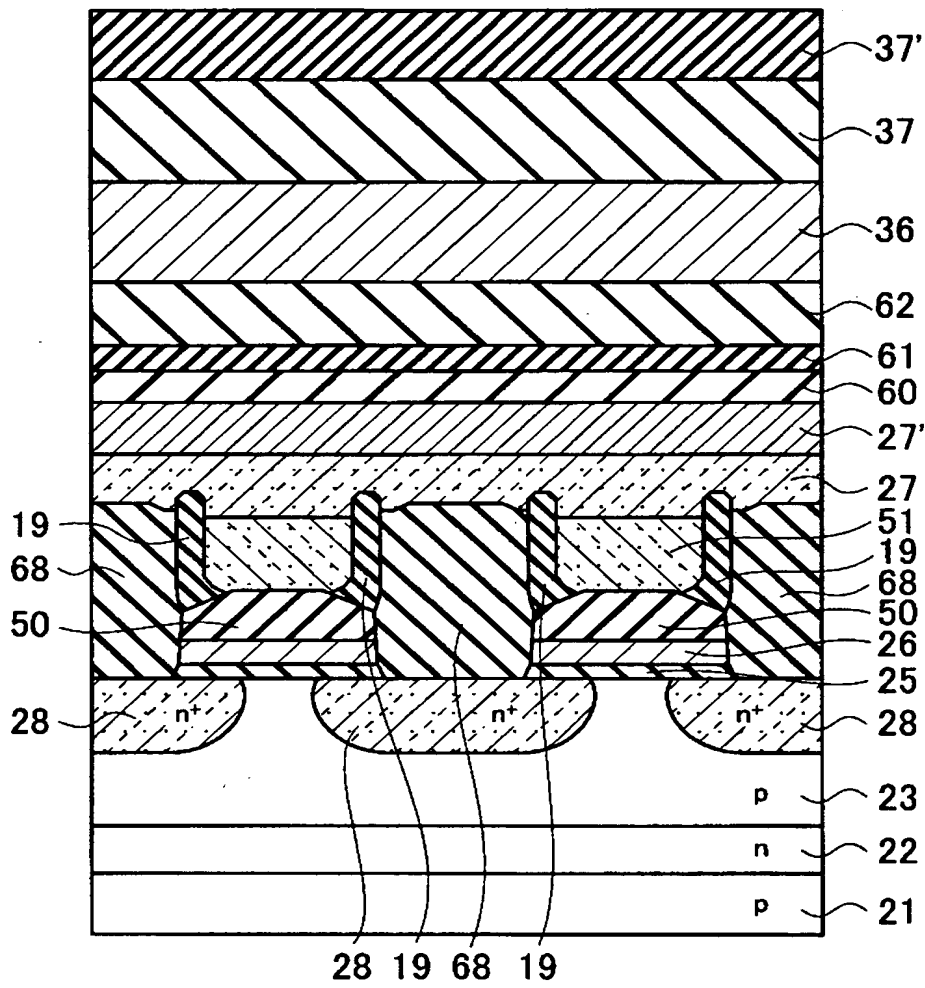
【图26】



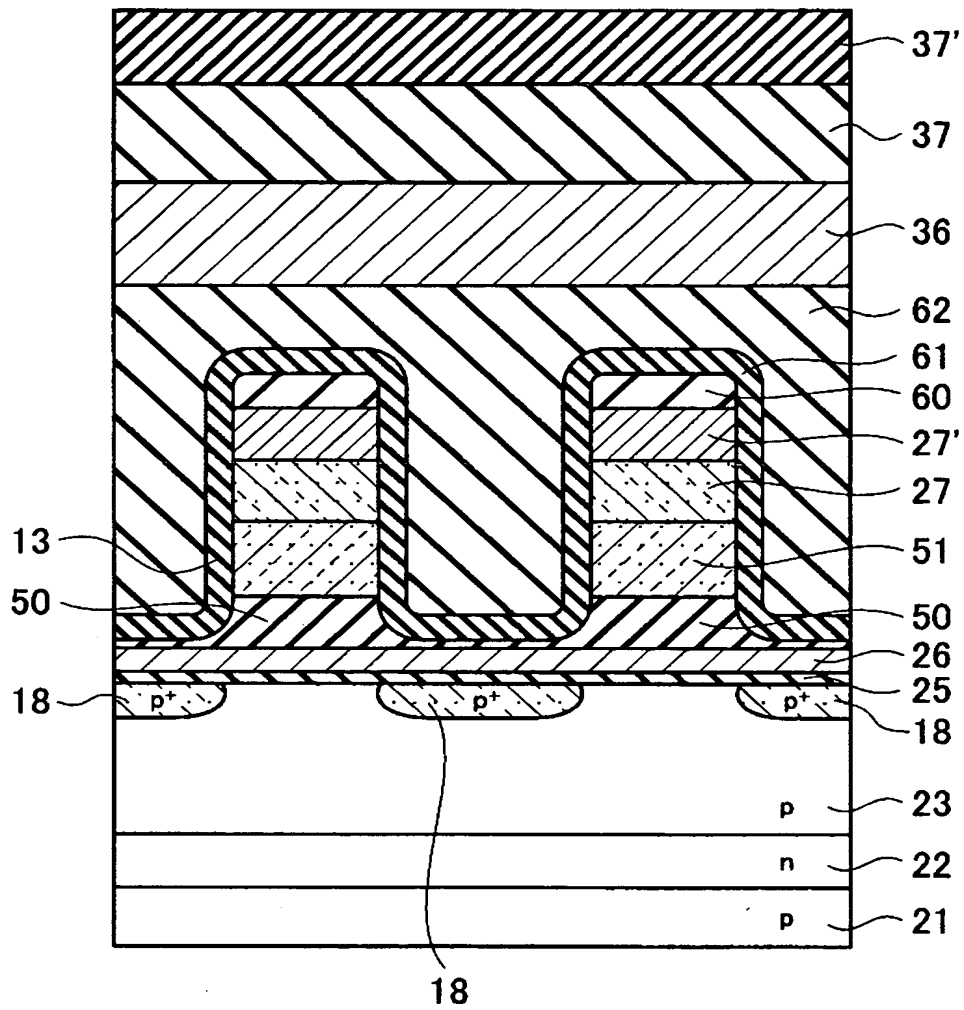
【図27】



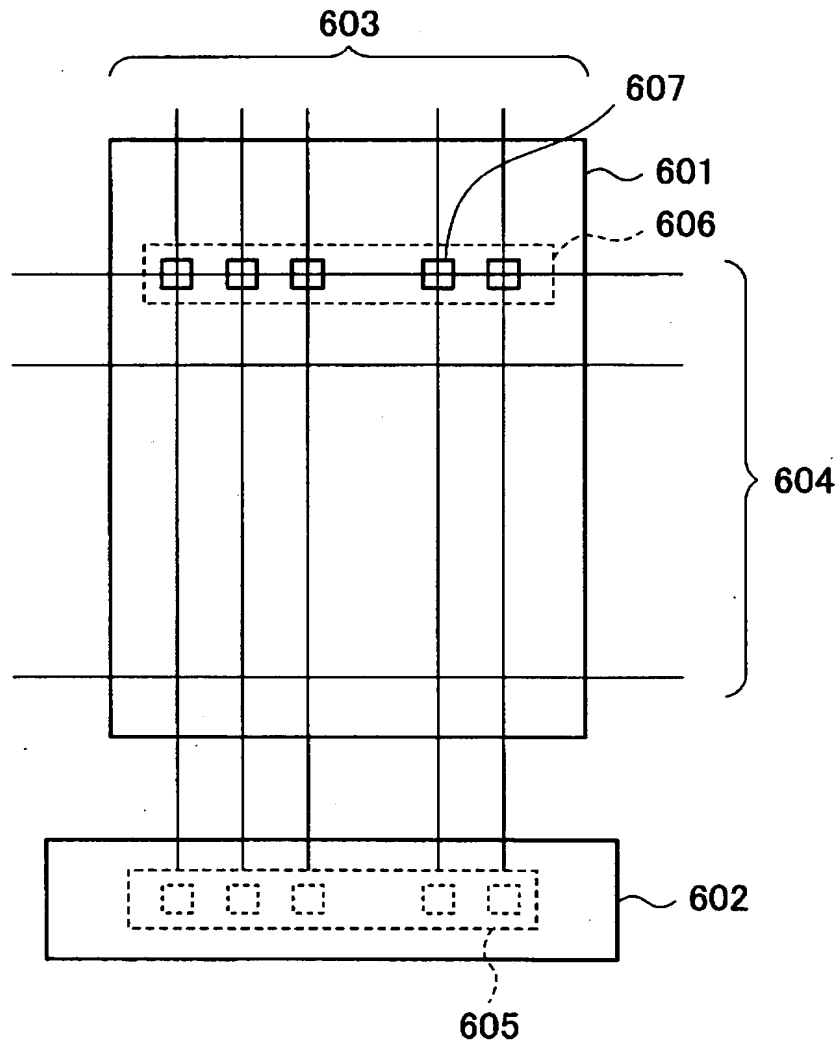
【図28】



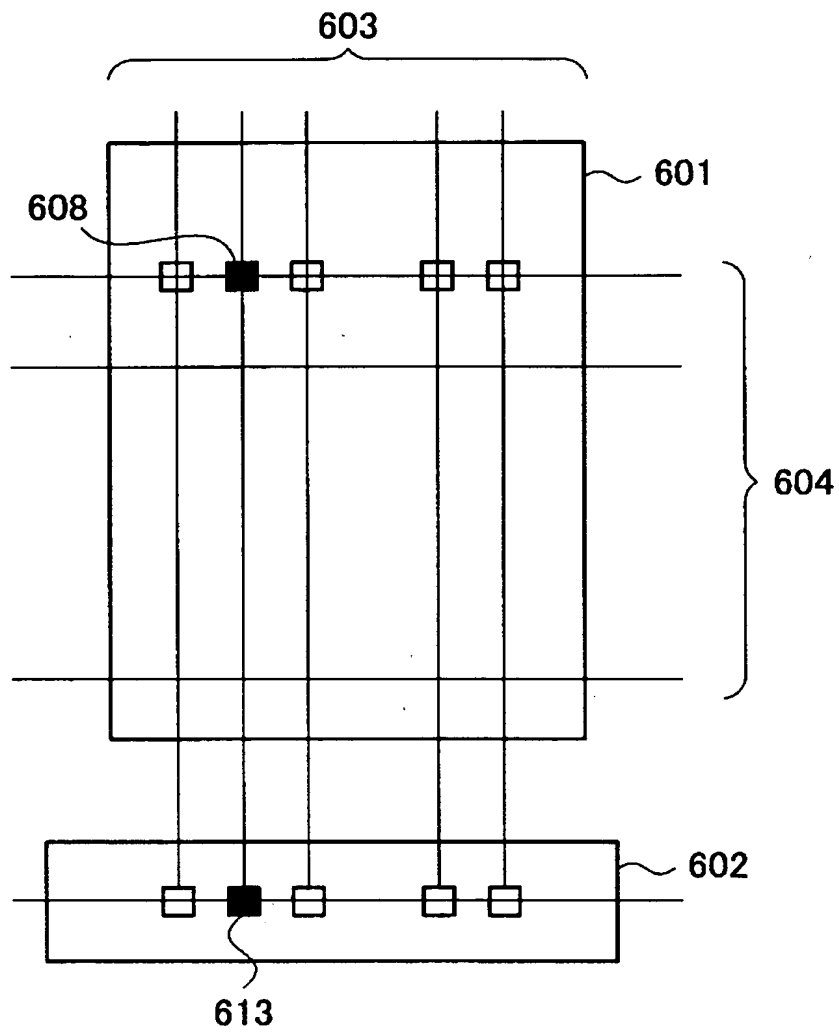
【図29】



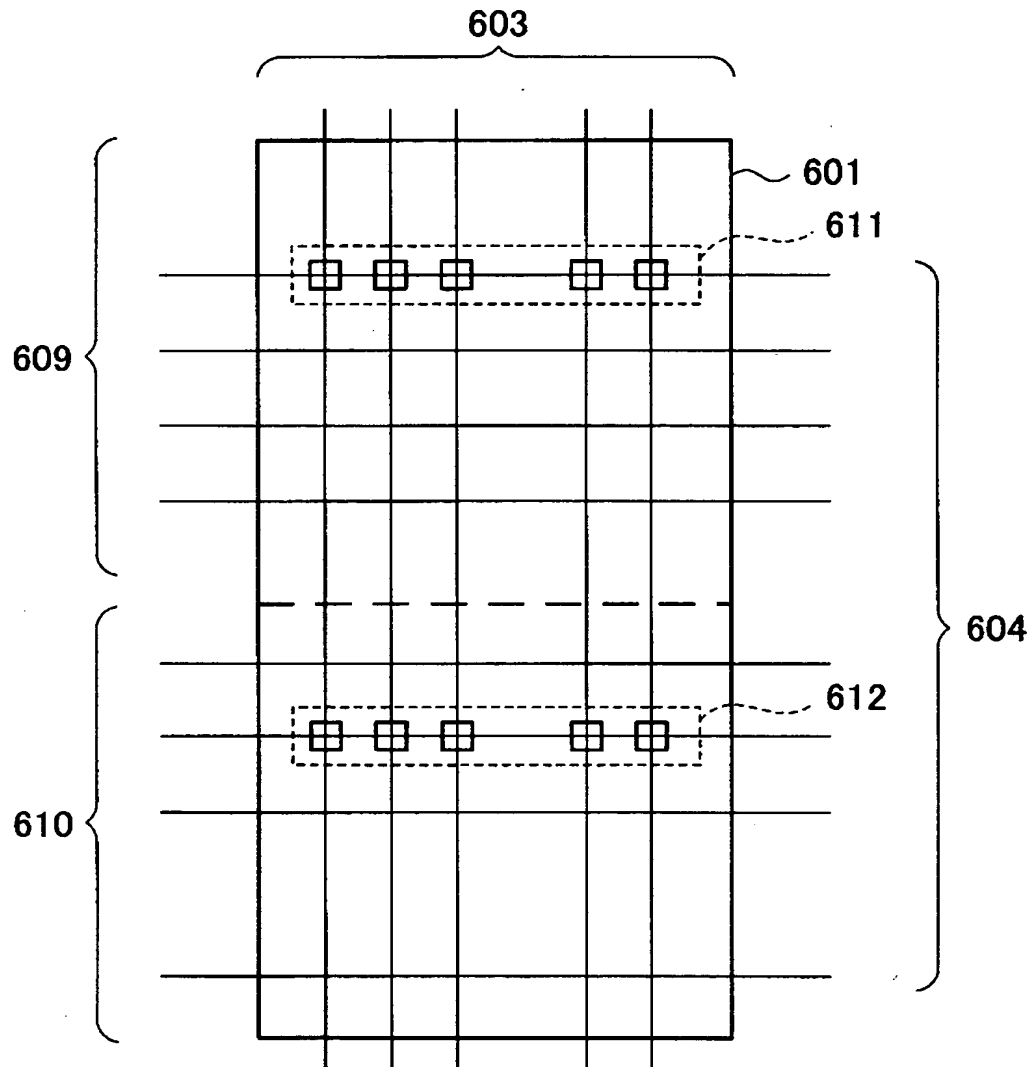
【図30】



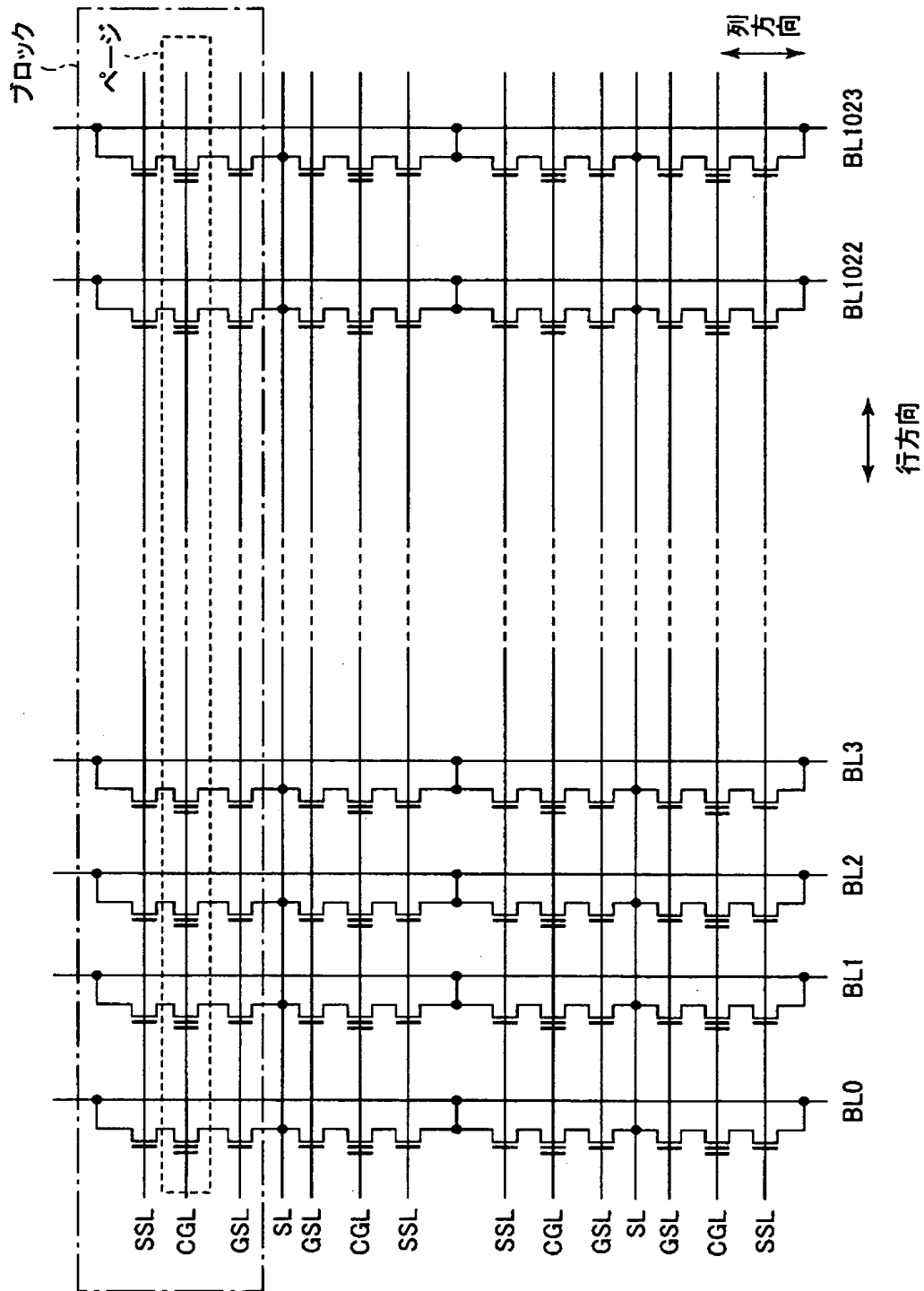
【図31】



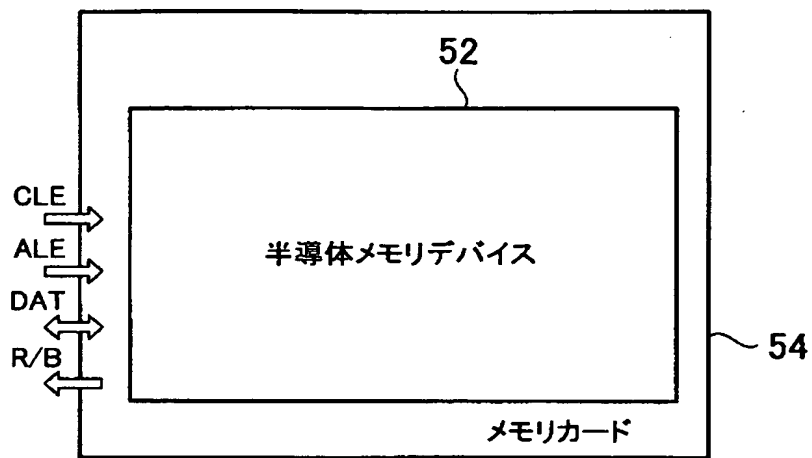
【図32】



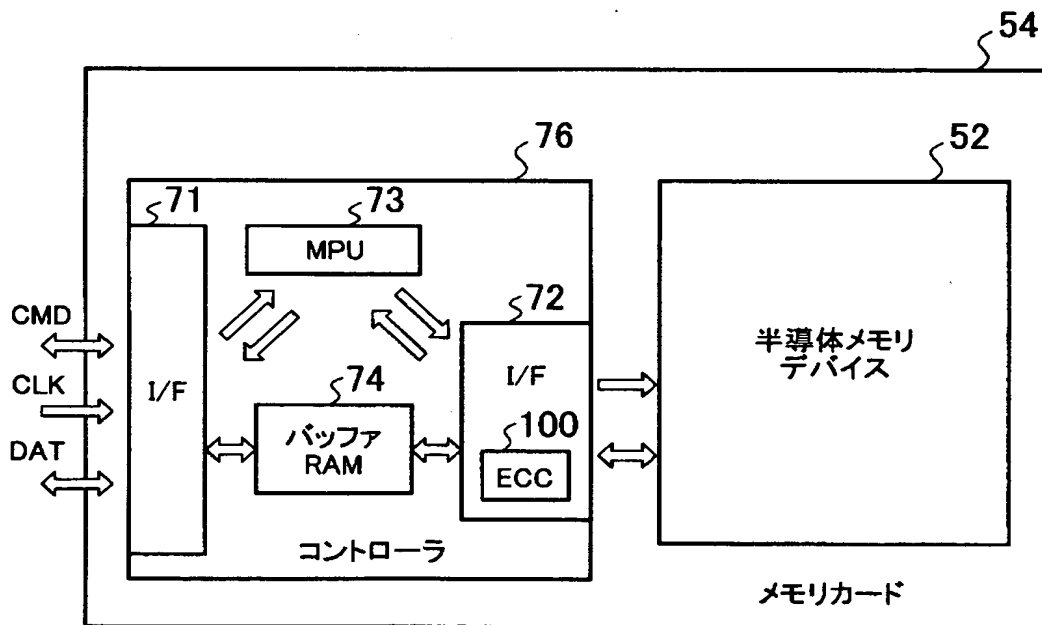
【図33】



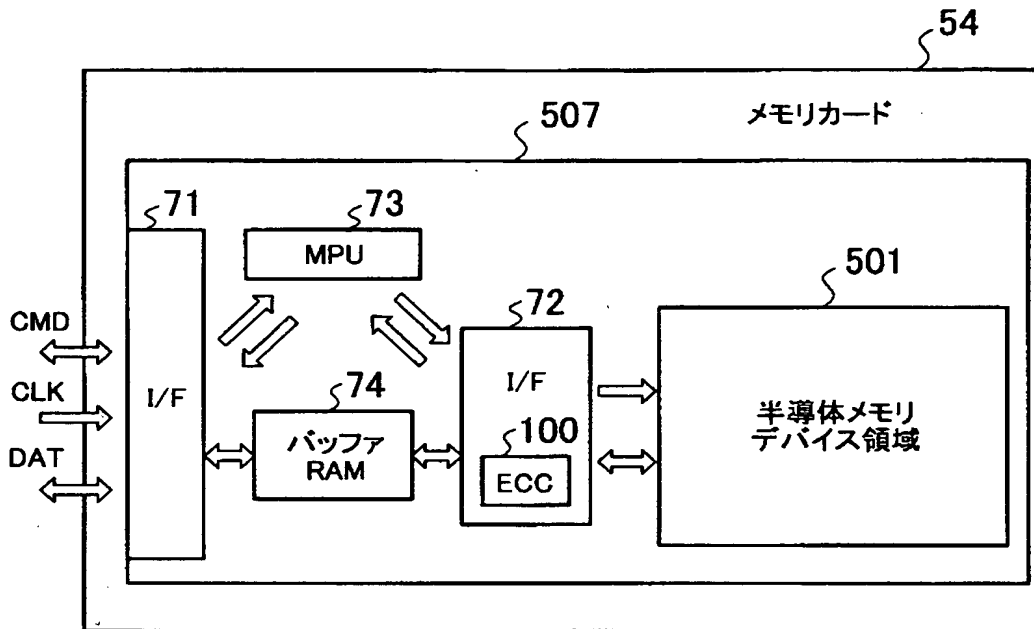
【図34】



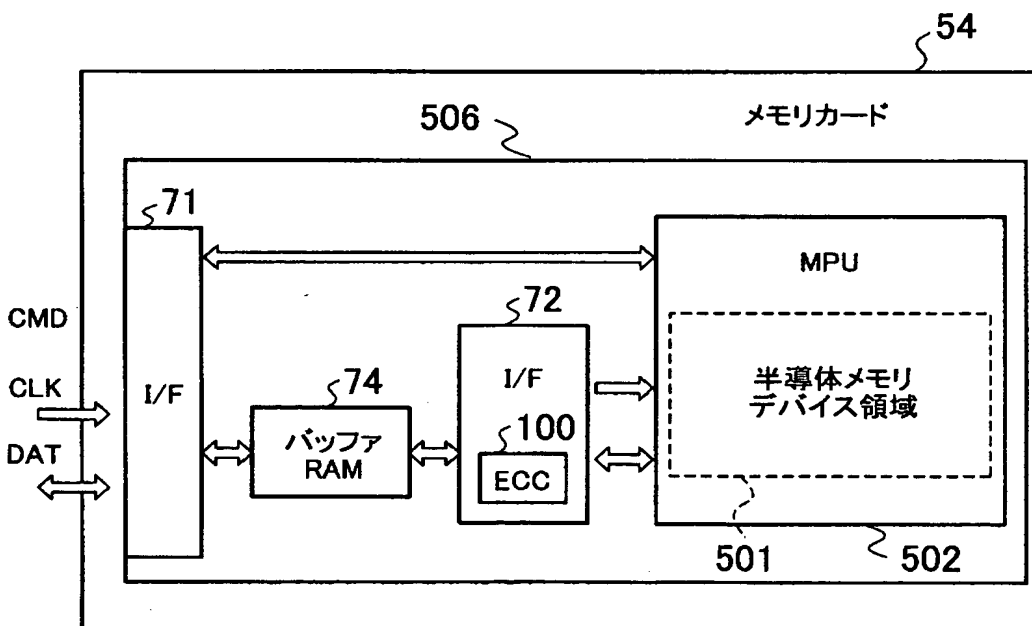
【図35】



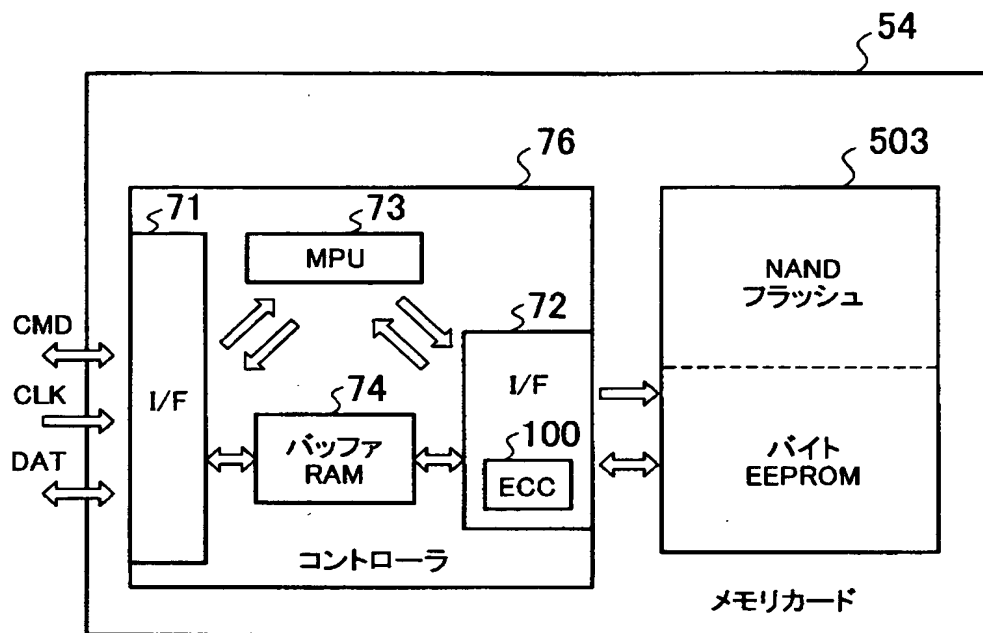
【図36】



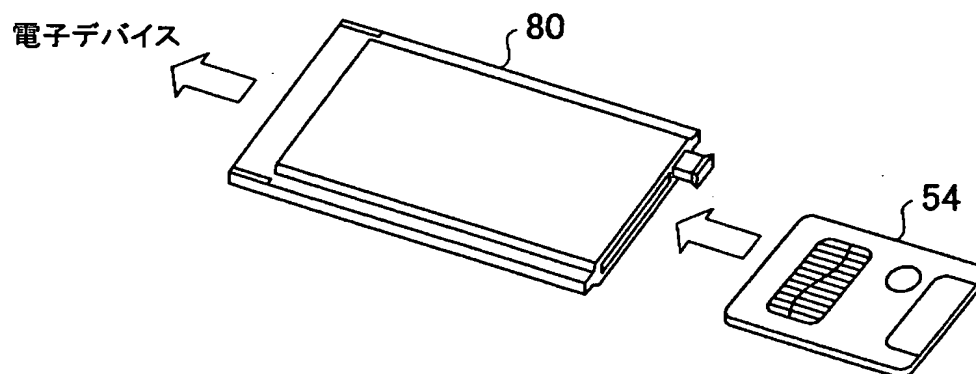
【図37】



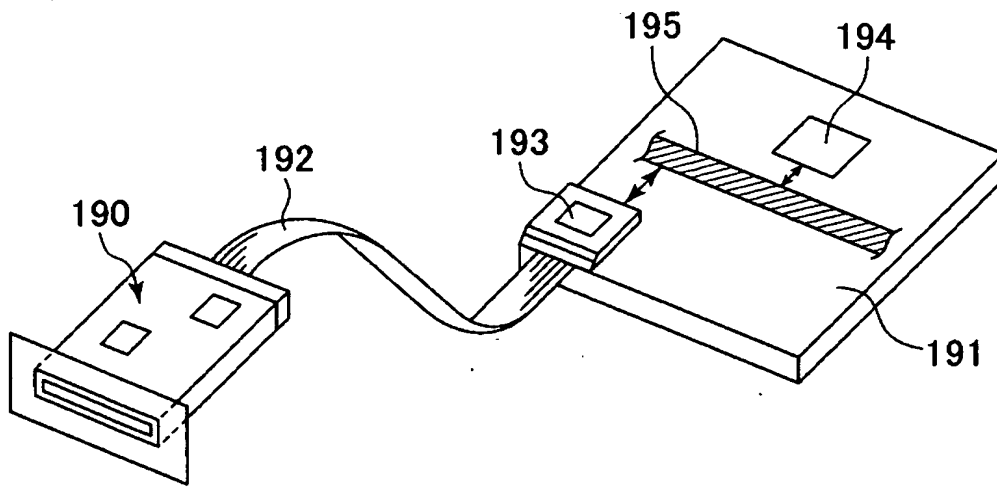
【図38】



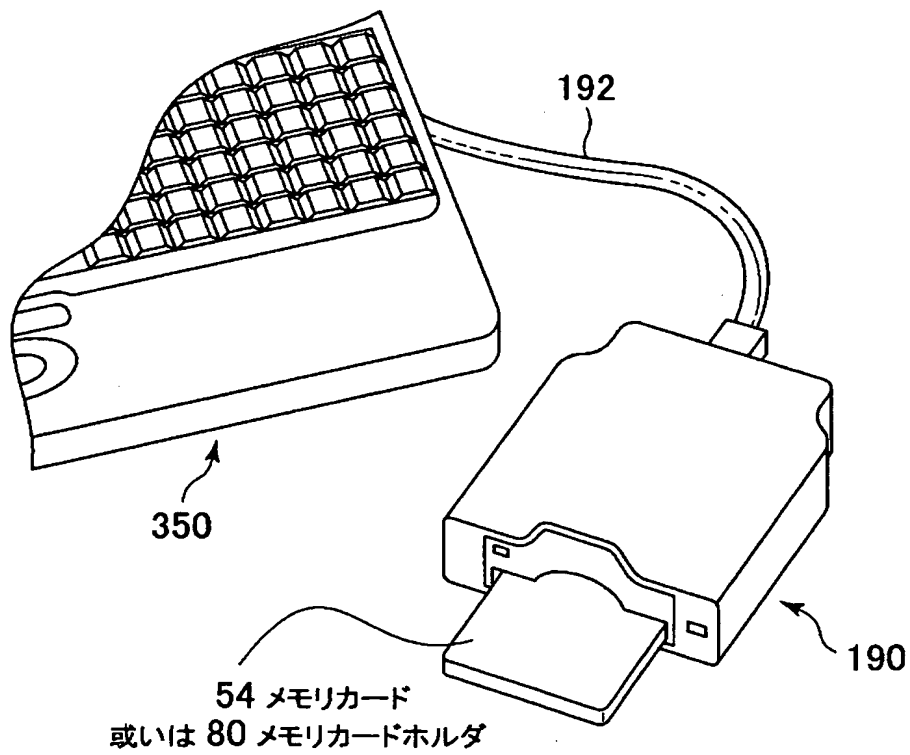
【図39】



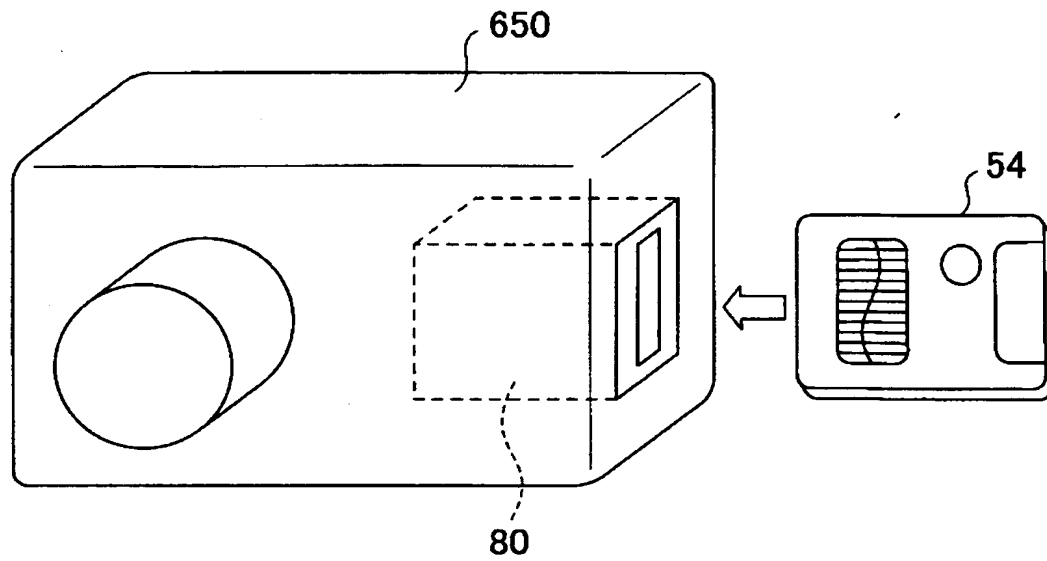
【図40】



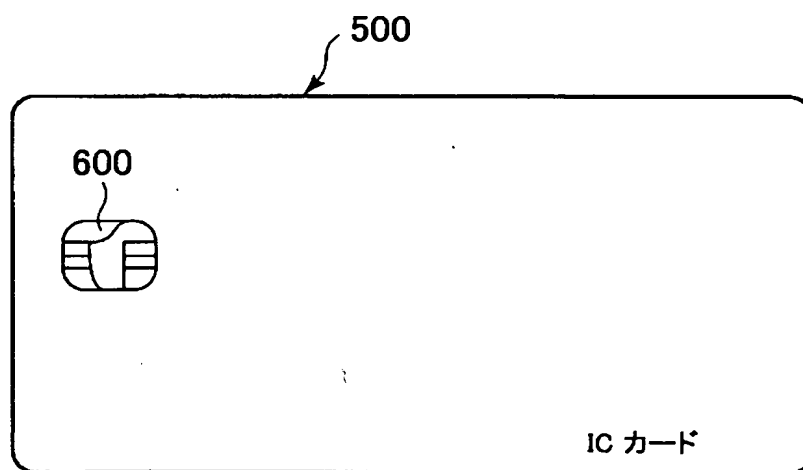
【図41】



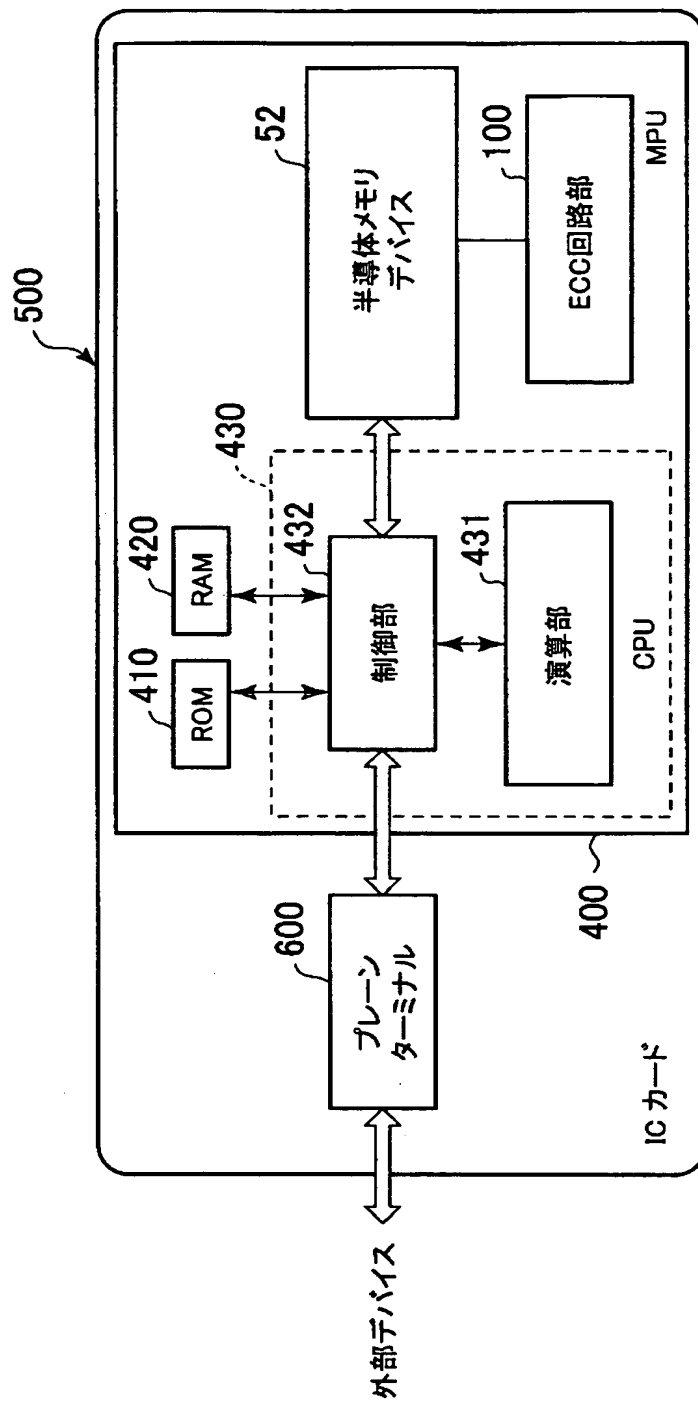
【図42】



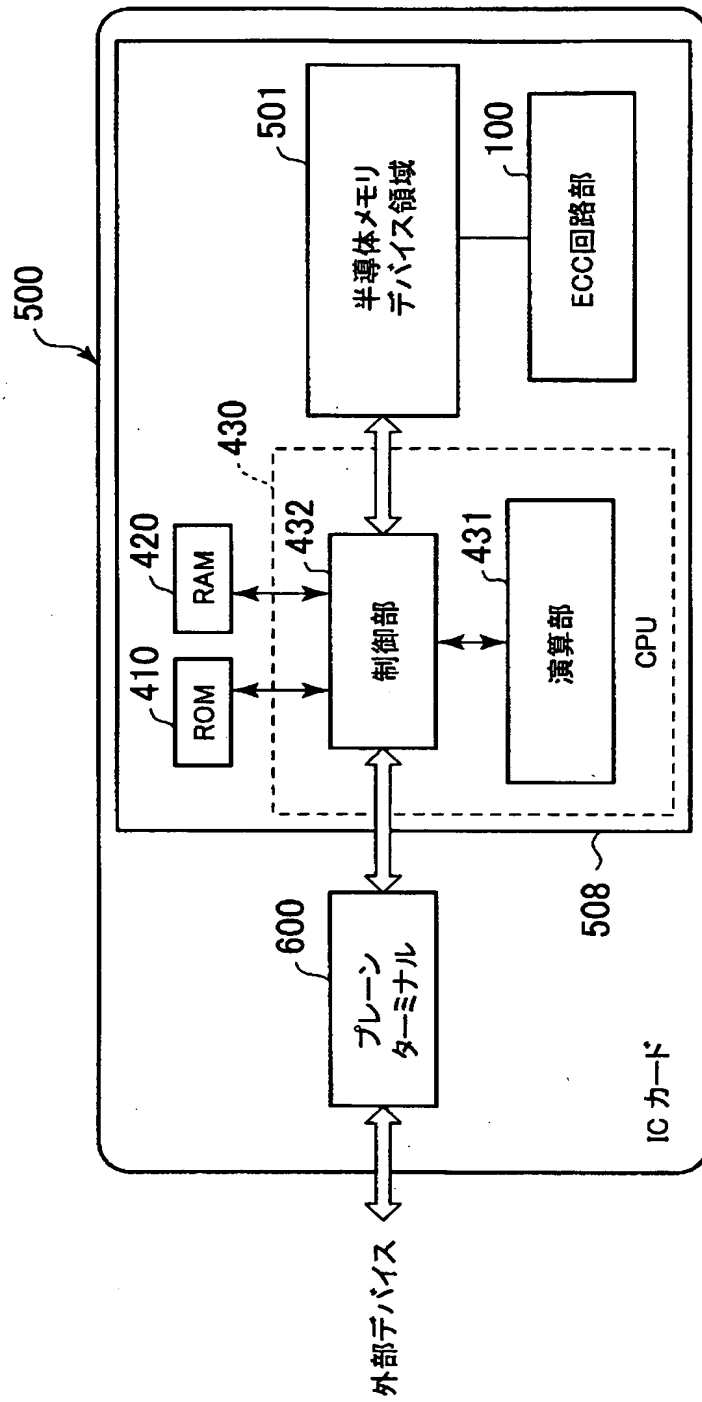
【図43】



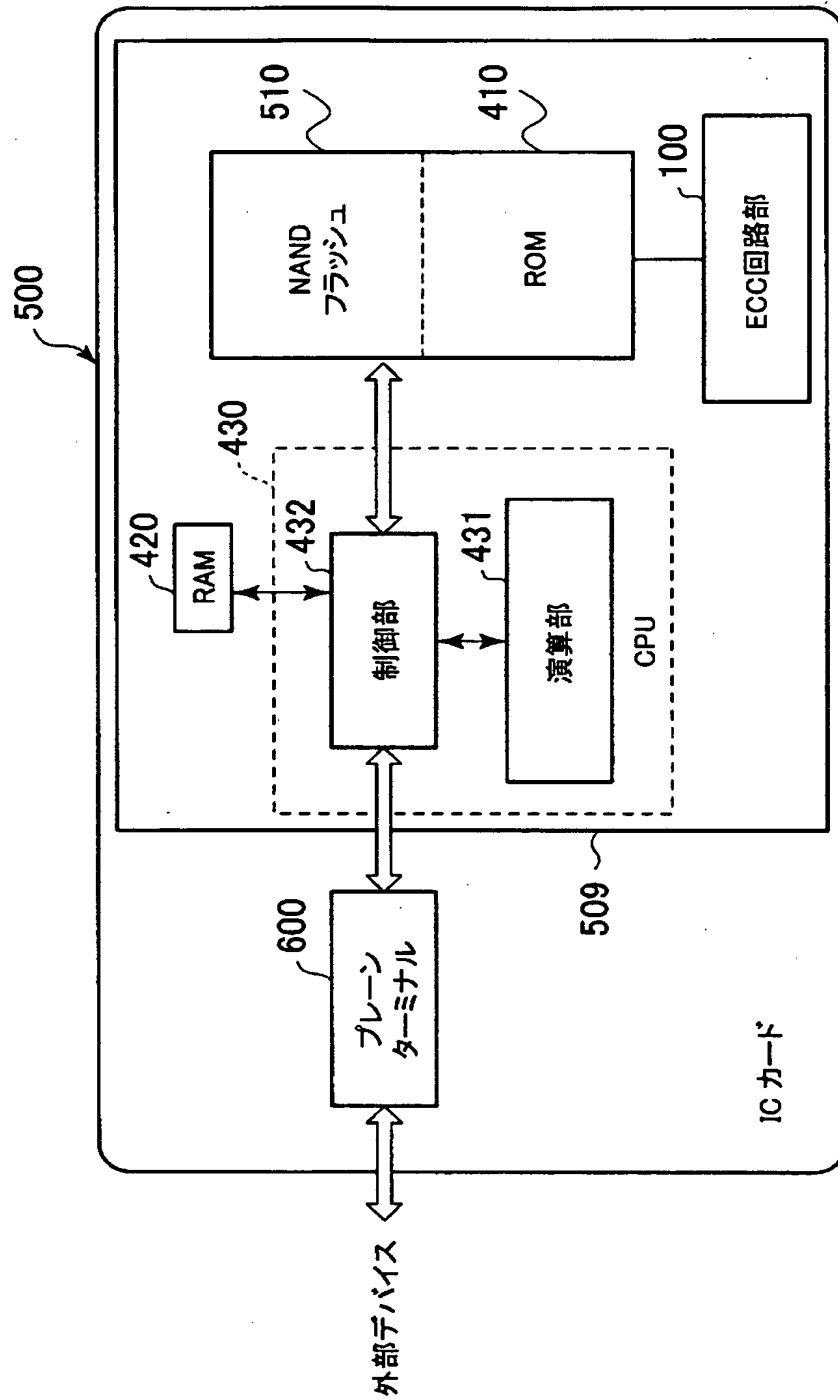
【図44】



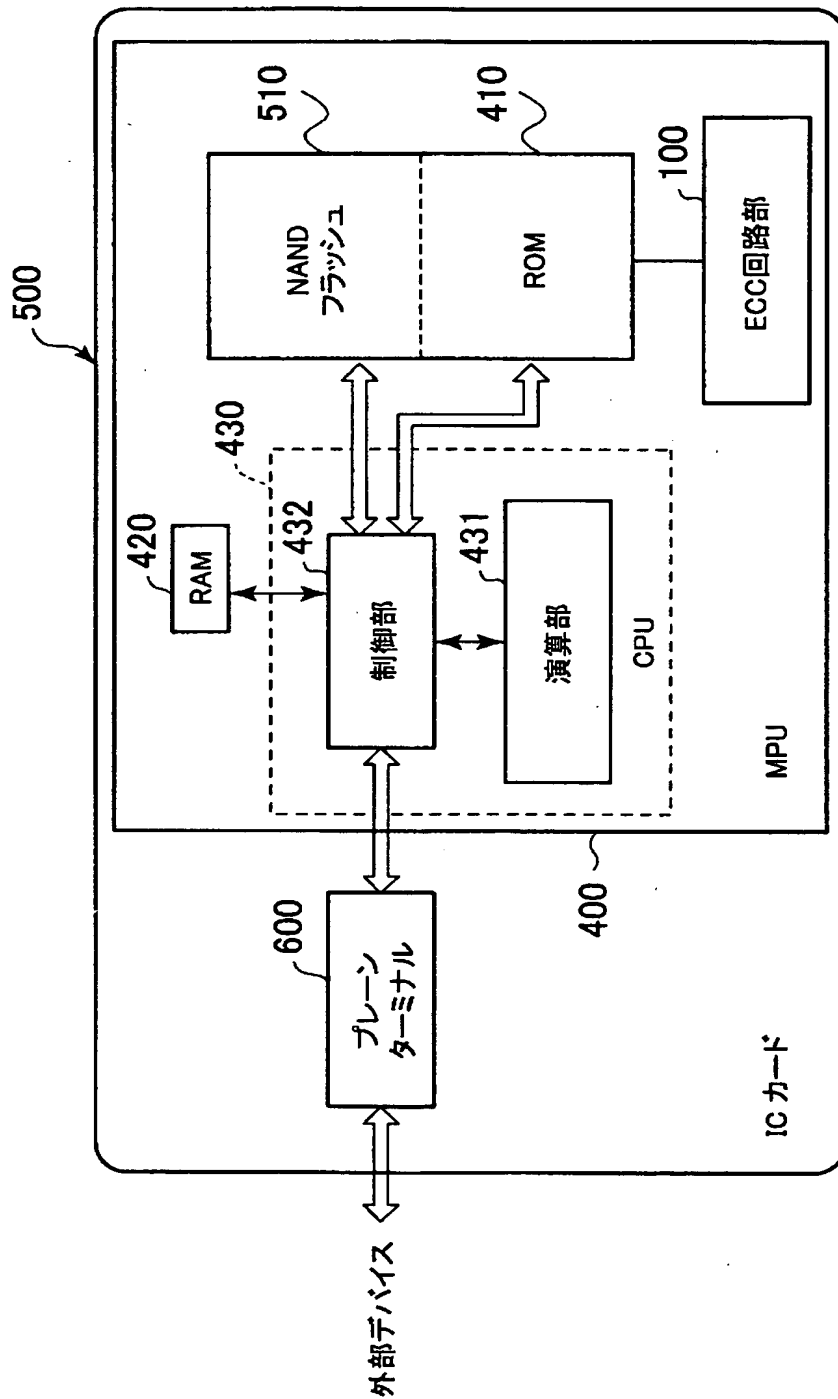
【図45】



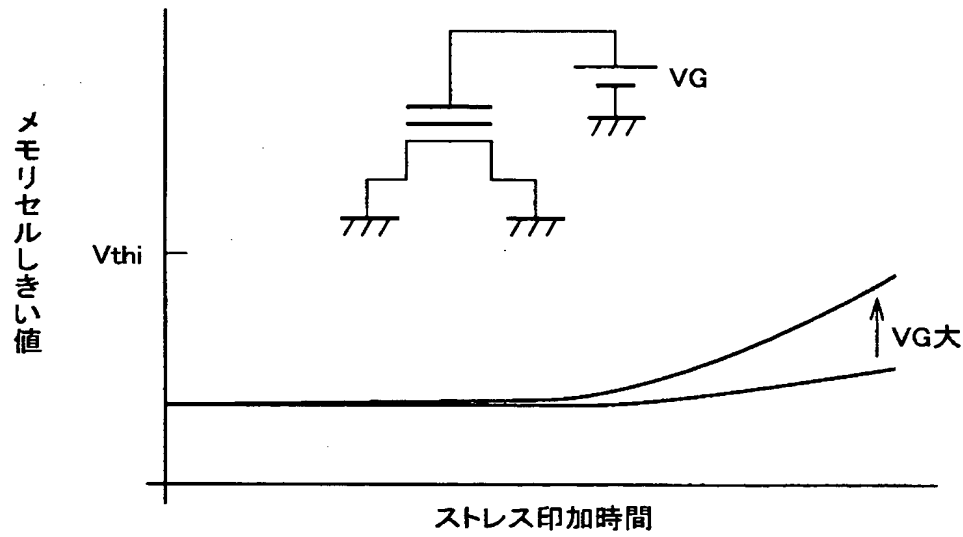
【図46】



【図47】



【図48】



【書類名】 要約書

【要約】

【課題】 リードディスタ urb による不良発生を未然に防止することができるデータ記憶システムを提供する。

【解決手段】 メモリセルアレイ1を含むメモリマクロ7と、互いに第1の内部配線92で接続された誤りビット検出回路5と誤りビット判定回路6とを含み、メモリマクロ7と第2の内部配線91を介して接続された誤り訂正符号回路部100と、メモリセルアレイ1の誤り訂正において一時的に使用するテンポラリメモリ101,102とを備える。テンポラリメモリはメモリマクロ7内に形成されていてもよい。或いは又、メモリマクロ7及び誤り訂正符号回路部100の外部に形成され、外部I/O線94を介して誤りビット判定回路6に接続されていても良い。データ誤り符号訂正回路(ECC)を用いて、データ破壊が生じる前にリードディスタ urb を検出し、リフレッシュする。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝